

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 22 日 (22.09.2005)

PCT

(10) 国際公開番号
WO 2005/088703 A1

(51) 国際特許分類: H01L 21/8234, 21/822, 21/8247,
27/04, 27/088, 27/10, 27/115, 29/788, 29/792

(21) 国際出願番号: PCT/JP2005/003906

(22) 国際出願日: 2005 年 3 月 7 日 (07.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-067644 2004 年 3 月 10 日 (10.03.2004) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
Osaka (JP).

(71) 出願人 および

(72) 発明者: 舩岡 富士雄 (MASUOKA, Fujio) [JP/JP]; 〒
9810923 宮城県仙台市青葉区東勝山 2-3 3-1 8
Miyagi (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 横山 敬
(YOKOYAMA, Takashi) [JP/JP]; 〒7210902 広島県福
山市春日町浦上 2 5 3 7-3 0 8 Hiroshima (JP). 谷
上 拓司 (TANIGAMI, Takuji) [JP/JP]; 〒6340045 奈良
県橿原市石川町 9 1-5-6 0 2 Nara (JP). 堀井 新司
(HORII, Shinji) [JP/JP]; 〒7210902 広島県福山市春日
町浦上 2 5 3 7-3 0 2 Hiroshima (JP).

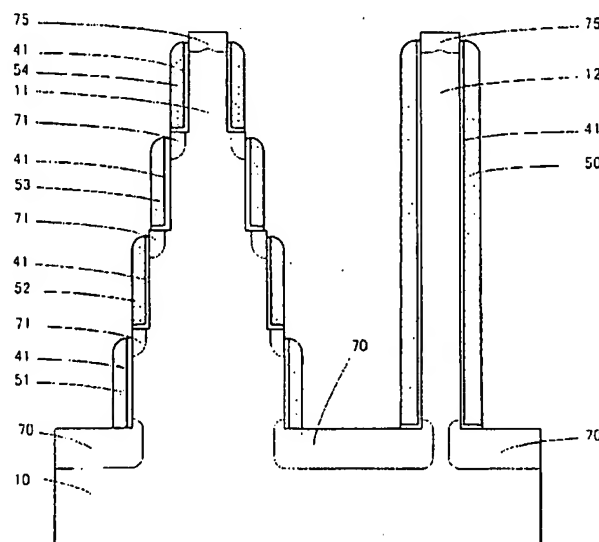
(74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒5300047
大阪府大阪市北区西天満 5 丁目 1-3 南森町パーク
ビル 野河特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING THE SEMICONDUCTOR DEVICE AND
PORTABLE ELECTRONIC DEVICE PROVIDED WITH THE SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、その製造方法及びそれを備えてなる携帯電子機器



(57) Abstract: In a semiconductor device, an element is formed on a side wall of an island-shaped semiconductor layer. Degree of freedom in designing a shape and a configuration of an element to be formed and in designing a circuit configuration is improved. In the semiconductor device, two or more island-shaped semiconductor layers including first and second island-shaped semiconductor layers are formed on a same board. At least the first island-shaped semiconductor layer has steps on its side wall so as to have an area of a cross section parallel to a board surface different step by step in a height in a vertical direction. The second island-shaped semiconductor layer differs from the first island-shaped semiconductor layer, in existence of the side wall steps or the number of steps. The first and the second island-shaped semiconductor layers are provided with an element on each part on the side wall divided by the steps or on the side wall having no steps.

[続葉有]

WO 2005/088703 A1

明 細 書

半導体装置、その製造方法及びそれを備えてなる携帯電子機器 技術分野

- [0001] この発明は、半導体装置、その製造方法及びそれを備えてなる携帯電子機器に関する。より詳細には、島状半導体層の段差を有する側壁に複数種類の素子が形成される半導体装置及びその半導体装置を備えてなる携帯電子機器に関する。

背景技術

- [0002] 近年の半導体技術の進歩、特に微細加工技術の進歩により、トランジスタやメモリセルの小型化と大容量化とが急速に進んでいる。小型化と大容量化を同時に実現する手法の1つとして、半導体基板の表面に格子縞状の溝を形成することにより、互いに分離されてマトリクス状に配列された複数の島状半導体層を形成し、その側壁を利用してメモリセルを構成するEEPROMが提案されている(例えば、特許文献1参照)。
- [0003] 図38は、このEEPROM内に形成される1つの島状半導体層の構造を示す断面図である。図38に示すように、シリコンからなる島状半導体層110は、半導体基板表面に垂直な方向の断面形状が階段状である。島状半導体層110の段で区切られた側壁の部分には、電荷蓄積層510と制御ゲート520を有するメモリセルが隣り合って配置され、さらに、それらのメモリセルを上下から挟むように選択ゲート500を有する選択トランジスタが島状半導体層110の側壁に配置されて一組のメモリ・ユニットが構成される。

- [0004] このEEPROMには、この様な形状の島状半導体層110がマトリクス状に配置され、上記の構造のメモリ・ユニットをアレイ状に接続してメモリアレイを構成している。

特許文献1: 特開2003-068885号公報

発明の開示

発明が解決しようとする課題

- [0005] 前記のEEPROMは、各島状半導体層の階段状の側壁は全て同様の形状を有する。しかし、EEPROM内の各島状半導体層の側壁がすべて同様の形状に限られる

[図2]この発明の半導体装置の構造の異なる一例を示す断面図である。(実施の形態1)

[図3]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図4]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図5]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図6]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図7]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図8]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図9]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図10]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図11]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図12]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図13]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図14]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図15]この発明の半導体装置の製造工程の一例を示す工程断面図である。(実施の形態2)

[図30]この発明の半導体装置の製造工程の異なる一例を示す工程断面図である。(実施の形態3)

[図31]この発明の半導体装置の製造工程の異なる一例を示す工程断面図である。(実施の形態3)

[図32]この発明の半導体装置の製造工程の異なる一例を示す工程断面図である。(実施の形態3)

[図33]この発明の半導体装置の製造工程のさらに異なる一例を示す工程断面図である。(実施の形態4)

[図34]この発明の半導体装置の製造工程のさらに異なる一例を示す工程断面図である。(実施の形態4)

[図35]この発明の半導体装置の製造工程のさらに異なる一例を示す工程断面図である。(実施の形態4)

[図36]この発明の半導体装置の製造工程のさらに異なる一例を示す工程断面図である。(実施の形態4)

[図37]この発明の半導体装置を用いた携帯電子機器の実施の形態である携帯電話の例を示すブロック図である。(実施の形態5)

[図38]従来のEEPROM内に形成される1つの島状半導体層の構造を示す断面図である。

符号の説明

- [0010] 10, 100 p型半導体基板
11, 12, 110 島状半導体層
31, 32, 33 シリコン窒化膜
41, 42, 43, 440, 460, 480 シリコン酸化膜
50, 51, 52, 53, 54, 55, 56, 500, 510, 520, 530 多結晶シリコン膜
610 層間絶縁膜
70, 71, 75, 710, 720, 725 n型不純物拡散層
804 配線層
R1, R2, R3, R4, R5 レジスト

導体層が複数形成されていてもよい。

- [0013] また、この発明の半導体装置は、同一基板上に第1及び第2の島状半導体層を含む2以上の島状半導体層が形成され、少なくとも第1島状半導体層は、基板表面に平行する断面の断面積が垂直方向の高さに対して段階的に異なるようにその側壁に段差を有し、第1と第2島状半導体層とは、その高さが互いに異なり、第1および第2島状半導体層は、段差によって区切られた側壁の各部かあるいは段差を持たない側壁に素子を備えることを特徴とする。

ここで、側壁の高さとは、基板表面に垂直な方向に沿って、各島状半導体の側壁に素子が形成される領域と段差との合計の長さをいう。

この発明の半導体装置は、第1及び第2の島状半導体層の高さが互いに異なるので、側壁の形状に制約されることなく各側壁に異なる種類の素子を形成することができ、構成の自由度の高い半導体装置が得られる。

- [0014] 第1島状半導体層が側壁に備える素子の組み合わせは、第2島状半導体層が側壁に備える素子あるいはその組み合わせと異なってもよい。このようにすれば、1つの半導体装置内に多種類の素子あるいはその組み合わせを持つことができるので、設計の自由度の高い半導体装置が得られる。

前記素子は、第1あるいは第2島状半導体層の側壁の周囲の全部あるいは一部に形成された電極をゲート電極として有するトランジスタまたは前記電極を一方の電極とし、絶縁膜を介して側壁に形成された不純物拡散層を他方の電極とするキャパシタであるか、または第1あるいは第2島状半導体層の側壁の周囲の全部あるいは一部に形成された電荷蓄積層および制御ゲートを有するメモリセルであってもよい。

- [0015] また、この発明の半導体装置は、基板と第1及び第2島状半導体層は、第1導電型の第1領域と、基板表面の少なくとも一部に形成された第2導電型の不純物拡散層からなる第2領域とを含み、前記第1領域と第2領域との間に電圧を印加して基板と島状半導体層との接合部に形成される空乏層によって、前記素子が基板から電氣的に絶縁されるように構成されてもよい。

こうすれば、各素子が基板から電氣的に絶縁されるので、電氣的特性の優れた素子を備えた半導体装置が得られる。

て第1島状半導体層の最上段の側壁と、前記側壁に対応する第2島状半導体層の側壁とを形成する工程と、前記工程の後、第2島状半導体層が所定の高さに達していない場合に、前記高さに達するまで順次反復される前記サイドウォール形成工程、サイドウォール除去工程と掘り下げ工程と、第1及び第2島状半導体層の側壁にサイドウォールを更に形成する第2サイドウォール形成工程と、第2島状半導体層とそれを含む基板表面の領域をレジストで覆うレジスト被覆工程と、第1島状半導体層の側壁に配置された前記サイドウォールと前記レジストとをマスクとして前記基板をさらに所定の深さだけ掘り下げ、既に形成された側壁との段差を有する新たな側壁を第1島状半導体層に形成し、レジストで被覆され第2島状半導体層を含む領域を掘り下げない第2掘り下げ工程と、第2掘り下げ工程の後、第1島状半導体層の側壁の段差が所定の数に達していない場合に、前記段数に達するまで反復される前記第2サイドウォール形成工程と第2掘り下げ工程と、各島状半導体層の段差によって区切られた側壁の各部、あるいは段差のない側壁に素子を形成する工程とを備え、その側壁に所定の数の段差を有する第1島状半導体層と、第1島状半導体層と異なる高さであって、その側壁に段差を有さないかあるいは第1島状半導体層よりも少ない数の段差を有する第2島状半導体層を形成するようにしてもよい。

これによって、これによって、互いに高さの異なる島状半導体層を基板上に同時に形成することができる。

なお、前記レジスト被覆工程は、第2サイドウォール形成工程の前に実施してもよい。

[0020] 全てのサイドウォール除去工程で第2島状半導体層のサイドウォールを除去することにより、段差のない側壁を第2島状半導体層に形成してもよい。

あるいは、サイドウォール除去工程の少なくとも1回は第2島状半導体層のサイドウォールを除去しないことにより、第1島状半導体層よりも少ない数の段差を有する側壁を第2島状半導体層に形成してもよい。

[0021] 以下、図面に示す実施形態に基づいてこの発明を詳述する。

(実施の形態1) 半導体装置の構造の実施形態

図1は、この発明の半導体装置の構造の一例を示す断面図である。図1に示すよう

もしくは島状半導体層11, 12と不純物拡散層70との間に電圧を印加することによって形成される空乏層によって、基板10から電氣的に絶縁される。

- [0024] さらに、図2の第1島状半導体層には、多結晶シリコン膜52、53を電荷蓄積層とし、多結晶シリコン膜54、55を制御ゲート電極とするフラッシュメモリセルの上下を選択トランジスタで挟んだフラッシュメモリセル・ユニットが形成され、第2島状半導体層12には、側壁の上段にトランジスタが形成され、その下段にキャパシタが形成されている。上段のトランジスタは、シリコン酸化膜からなるゲート酸化膜41と、多結晶シリコン膜からなるゲート電極50とを有している。下段のキャパシタは、シリコン酸化膜41を誘電体膜とし、それを挟んで対向する不純物拡散層70と多結晶シリコン膜からなる電極50を他方の電極としている。前記トランジスタとキャパシタは、不純物拡散層70によって電氣的に接続されている。

また、第1島状半導体層11及び第2島状半導体層12の側壁に形成されたトランジスタ及びキャパシタの下側に、不純物拡散層70が形成されている。この不純物拡散層は基板10と逆導電型である。第1及び第2島状半導体層11、12とその側壁の各トランジスタは、基板10もしくは島状半導体層11、12と不純物拡散層70との間に電圧を印加することによって形成される空乏層によって、基板10から電氣的に絶縁される。

- [0025] (実施の形態2) 半導体装置の製造工程の実施形態

実施の形態1で詳述したように、この発明の半導体記憶装置は、基板表面にそれぞれが1以上の少なくとも2種類の島状半導体層を有し、各種の島状半導体層は、段差によって区切られた側壁の各部かあるいは段差を持たない側壁に素子を備え、側壁の段差の数、あるいは段差の有無が島状半導体層の種類によって異なる。この島状半導体層の側壁に形成される素子は、例えば、トランジスタ、メモリセル、キャパシタであってもよい。島状半導体層の側壁の段差部には、不純物拡散層が自己整合的に形成され、素子は形成されない。そして、例えば、3段の段差を有する島状半導体層に形成された4つのトランジスタは3つの段差部にそれぞれ形成された不純物拡散層によって互いに直列に接続される。

- [0026] 前述の半導体装置を製造する製造工程のいくつかの例を以下に説明する。ただし

方、第2島状半導体層12にはレジストR2を被覆せずに露出させておく。そして、公知のフォトリソグラフィ技術による等方性エッチングを適用し、第2島状半導体層12の側壁に形成したシリコン窒化膜31を除去する。その後、レジストR2を除去する(図10)。

続いて、サイドウォール状のシリコン窒化膜31をマスクにして、反応性イオンエッチングにより、シリコン基板10を更に50〜5000nmエッチングする。図8に示すように基板表面と島状半導体層の側壁にシリコン酸化膜43が形成されている場合、前記のエッチングは、島状半導体層11及び12の側壁のシリコン酸化膜43上に形成されたサイドウォール状のシリコン窒化膜31をマスクに用いればよい。基板10を異方性エッチングによって掘り下げることにより、図11に示すように、側壁に1つの段差をもつ第1島状半導体層11と段差を持たない第2島状半導体層12が形成される。

[0030] 続いて、図12に示すように、第4の絶縁膜としてシリコン窒化膜32を基板10の表面に10〜1000nm堆積する。その後、図13に示すように、異方性エッチングにより、シリコン酸化膜42、第1及び第2島状半導体層11、12及びサイドウォール状のシリコン窒化膜31からなる側壁の上に、更にシリコン窒化膜32をサイドウォール状に加工する。

続いて、前述の図9〜11に示した工程と同様の工程を繰り返し適用することにより、更に基板10を更に掘り下げて、2段の段差が側壁に形成された島状半導体層11と側壁に段差を持たない島状半導体層12を得る(図14〜16)。

[0031] 更に、前述の図12〜16と同様の工程を繰り返し(図17〜21)、図21に示すように3段の段差が側壁に形成された島状半導体層11と側壁に段差を持たない島状半導体層12を得る。

なお、この実施の形態では3段の段差を有する島状半導体層11を製造する場合の製造工程を例に説明したが、段差の数はこれに制限されず、1段、2段または4段以上であってもよい。

[0032] その後、島状半導体層11の側壁に形成されたシリコン窒化膜31、32、33を等方性エッチングにより除去し、島状半導体層の間に形成された溝の底部にn型不純物拡散層70を形成する(図22)。不純物拡散層70は、例えばイオン注入法により、砒

ト酸化膜であるシリコン酸化膜44を介して1つの多結晶シリコン膜50が形成される(図25)。

[0035] 続いて、多結晶シリコン膜50がその表面上に形成されていない島状半導体層11の段差部に対して不純物導入を行い、n型不純物拡散層71を形成する(図26)。不純物拡散層71は、例えば、基板表面に垂直な軸に対して0〜45°程度傾斜した方向から5〜100keVの注入エネルギーで、砒素又は磷を $1 \times 10^{12} \sim 1 \times 10^{15} / \text{cm}^2$ 程度の

ドーズで注入することにより形成することができる。イオン注入は、島状半導体層11の一方向又は複数方向からの注入でもよいし、全周囲から行ってもよい。

[0036] 前述した各製造工程を経ることによって製造された図27に示す半導体装置は、第1及び第2島状半導体層11、12の側壁の各部に、多結晶シリコン膜50〜54をゲートとするトランジスタを有する。図27に示す半導体装置は、図1に示したものと同一半導体装置である。

その後、さらに公知の技術を用いて、電氣的に所望の機能が得られるよう接続することで、半導体装置として完成することができる。

これらの製造工程によって、側壁の段差の数、あるいは段差の有無が異なる複数種類の島状半導体層を有する半導体装置が得られる。

[0037] この実施の形態では、単純化によって説明を理解しやすくするために2本の島状半導体層を有する半導体装置を例にして説明したが、各種種類の島状半導体層の両方若しくは一方が複数あってもかまわない。

この実施の形態のように、異なる種類の島状半導体層の側壁に互いに異なるチャネル長のトランジスタを形成することによって、例えば、本実施例における第2島状半導体層12に形成したトランジスタを高耐圧を必要とするトランジスタとして用い、高集積度を要する部分には第1島状半導体層11に形成されたトランジスタを用いることができる。装置内に一種類の島状半導体層しか持たない従来の半導体装置に比べて、回路設計上の自由度の高い半導体装置を製造することができる。

[0038] ここで、側壁の形状が異なる各島状半導体層に形成する素子の組み合わせは、トランジスタに限定されず、例えば、メモリセルや、キャパシタ、ダイオードなどを形成す

を、等方性エッチングを適用して除去する(図30)。

- [0043] この後、前述した実施の形態2の製造工程例の図12ー図21を実施することにより、3つの段差を有する第1島状半導体層11と、1段のみ段差を有する第2島状半導体層12を有する半導体装置を製造することができる(図31)。

この製造工程例では、側壁の段差の数が3段の第1島状半導体層11を図示しているが、側壁の段差の数はこれに限定されず、1段や2段、あるいは4段以上であってもよい。

- [0044] その後、前述した実施の形態2の図22ー27に示す製造工程と同様の工程を経た後、シリコン酸化膜43及び多結晶シリコン膜54、55を形成する公知の工程を経て、3つの段差を持つ第1島状半導体層11と、1つの段差を持つ第2島状半導体層12を有する半導体装置を製造することができる(図32)。

なお、この実施の形態では、第2島状半導体層12の側壁の下段には、キャパシタが形成されている。前記キャパシタは、シリコン酸化膜41を誘電体膜とし、多結晶シリコン膜50と島状半導体12の側壁の下段に形成された不純物拡散層70とを電極としている。この不純物拡散層70は、例えば既知のフォトリソグラフィ、CVD、エッチング工程に

より不純物拡散層70を形成する領域を露出し、その後イオン注入工程と熱拡散工程により形成することが出来る。

- [0045] 実施の形態2の製造工程例と同様、第1及び第2島状半導体層の両方若しくは一方が、複数あってもかまわない。更に、第1及び第2島状半導体層にそれぞれ形成する素子の組み合わせは、トランジスタに限定されず、例えば、メモリセルや、キャパシタ、ダイオードなどを形成することができる。

ダイオードを形成する一例としては、島状半導体層12上部に形成する不純物拡散層75を、既知のフォトリソグラフィ工程および注入工程およびアニール工程を用いて島状半導体層12と同じ伝導型の不純物拡散層で形成することで不純物拡散層70と島状半導体層間にダイオードを得ることが出来る。

また、実施の形態2の製造工程とこの実施の形態の製造工程とを組み合わせることにより、回路設計あるいはTEG部の構成に更に高い自由度を持った半導体装置を

てもかまわない。更に、第1及び第2島状半導体層に形成する素子は、トランジスタに限定されず、例えば、メモリセルや、キャパシタ、ダイオードなどを形成してもよい。

また、実施の形態2および3、または2あるいは3の製造工程と、この実施の形態の製造工程とを組み合わせることにより、回路設計あるいはTEG部の構成に更に高い自由度を持った半導体装置を得ることができる。

[0051] (実施の形態5)

この発明の実施形態を図37を用いて説明する。上記実施形態記載の半導体記憶装置又は半導体装置を、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器などが挙げられる。

図37は、携帯電話の例を示している。携帯電話には、この発明の半導体装置が組み込まれている。

この発明の半導体装置を携帯電子機器に用いることにより、回路が小型化できる。もしくは、回路に含まれる不揮発性メモリを大容量化して、携帯電子機器の機能を高度化することができる。

[0052] 図37に示すように、携帯電話900内には、制御回路部901、マン・マシン・インターフェース部908、RF(無線周波数)回路部910、及び、アンテナ部911が内蔵されている。制御回路部901内には、データメモリ部904、演算部902、制御部903、ROM905及びRAM906がある。上記各部は、配線907(データバス、電源線等を含む)で接続されている。

[0053] この発明の半導体装置はその中に搭載する素子、回路構成の設計自由度が大きいので、例えばメモリ以外の各種の回路、例えば前述の演算部902、制御部903も同一の半導体装置内に実装することが容易になる。また、半導体表面に平面的に素子を配置するものに比べてチップ面積の利用効率がよいので、メモリを大容量化することができる。もしくは、同じメモリ容量であれば、チップ占有面積が少なく、半導体装置の小型化が可能になる。この半導体装置を携帯電話900のデータメモリ部904等に用いれば、携帯電話900を小型化することができる。

[0054] この実施の形態では、制御回路部901内のデータメモリ部904、演算部902、制御

請求の範囲

- [1] 同一基板上に第1及び第2の島状半導体層を含む2以上の島状半導体層が形成され、
少なくとも第1島状半導体層は、基板表面に平行する断面の断面積が垂直方向の高さに対して段階的に異なるようにその側壁に段差を有し、
第2島状半導体層は、第1島状半導体層と側壁の段差の有無あるいは段差の数が互いに異なり、
第1および第2島状半導体層は、段差によって区切られた側壁の各部かあるいは段差を持たない側壁に素子を備えることを特徴とする半導体装置。
- [2] 同一基板上に第1及び第2の島状半導体層を含む2以上の島状半導体層が形成され、
少なくとも第1島状半導体層は、基板表面に平行する断面の断面積が垂直方向の高さに対して段階的に異なるようにその側壁に段差を有し、
第1と第2島状半導体層とは、その高さが互いに異なり、
第1および第2島状半導体層は、段差によって区切られた側壁の各部かあるいは段差を持たない側壁に素子を備えることを特徴とする半導体装置。
- [3] 第1島状半導体層が側壁に備える素子の組み合わせは、第2島状半導体層が側壁に備える素子あるいはその組み合わせと異なる請求項1または2記載の半導体装置。
- [4] 前記素子は、第1あるいは第2島状半導体層の側壁の周囲の全部あるいは一部に形成された電極をゲート電極として有するトランジスタまたは前記電極を一方の電極とし、絶縁膜を介して側壁に形成された不純物拡散層を他方の電極とするキャパシタであるか、または第1あるいは第2島状半導体層の側壁の周囲の全部あるいは一部に形成された電荷蓄積層および制御ゲートを有するメモリセルである請求項1〜3の何れか1つに記載の半導体装置。
- [5] 基板と第1及び第2島状半導体層は、第1導電型の第1領域と、基板表面の少なくとも一部に形成された第2導電型の不純物拡散層からなる第2領域とを含み、前記第1領域と第2領域との間に電圧を印加して基板と島状半導体層との接合部に形成さ

第1及び第2島状半導体層の側壁にサイドウォールを更に形成する第2サイドウォール形成工程と、

第2島状半導体層とそれを含む基板表面の領域をレジストで覆うレジスト被覆工程と、

第1島状半導体層の側壁に配置された前記サイドウォールと前記レジストとをマスクとして前記基板をさらに所定の深さだけ掘り下げ、既に形成された側壁との段差を有する新たな側壁を第1島状半導体層に形成し、レジストで被覆され第2島状半導体層を含む領域を掘り下げない第2掘り下げ工程と、

第2掘り下げ工程の後、第1島状半導体層の側壁の段差が所定の数に達していない場合に、前記段数に達するまで反復される前記第2サイドウォール形成工程と第2掘り下げ工程と、

各島状半導体層の段差によって区切られた側壁の各部、あるいは段差のない側壁に素子を形成する工程とを備え、

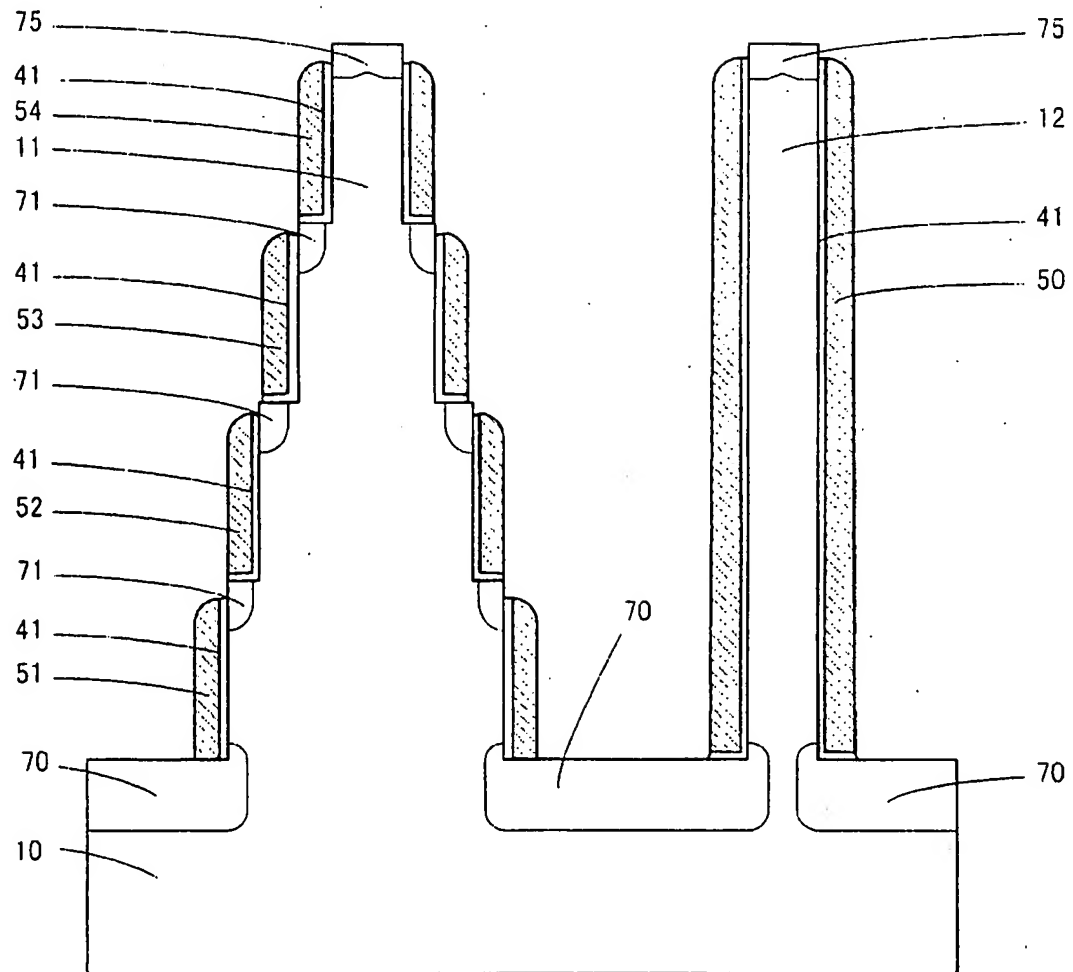
その側壁に所定の数の段差を有する第1島状半導体層と、第1島状半導体層と異なる高さであって、その側壁に段差を有さないかあるいは第1島状半導体層よりも少ない数の段差を有する第2島状半導体層を形成する請求項6記載の製造方法。

[9] 全てのサイドウォール除去工程で第2島状半導体層のサイドウォールを除去することにより、段差のない側壁を第2島状半導体層に形成する請求項7または8記載の製造方法。

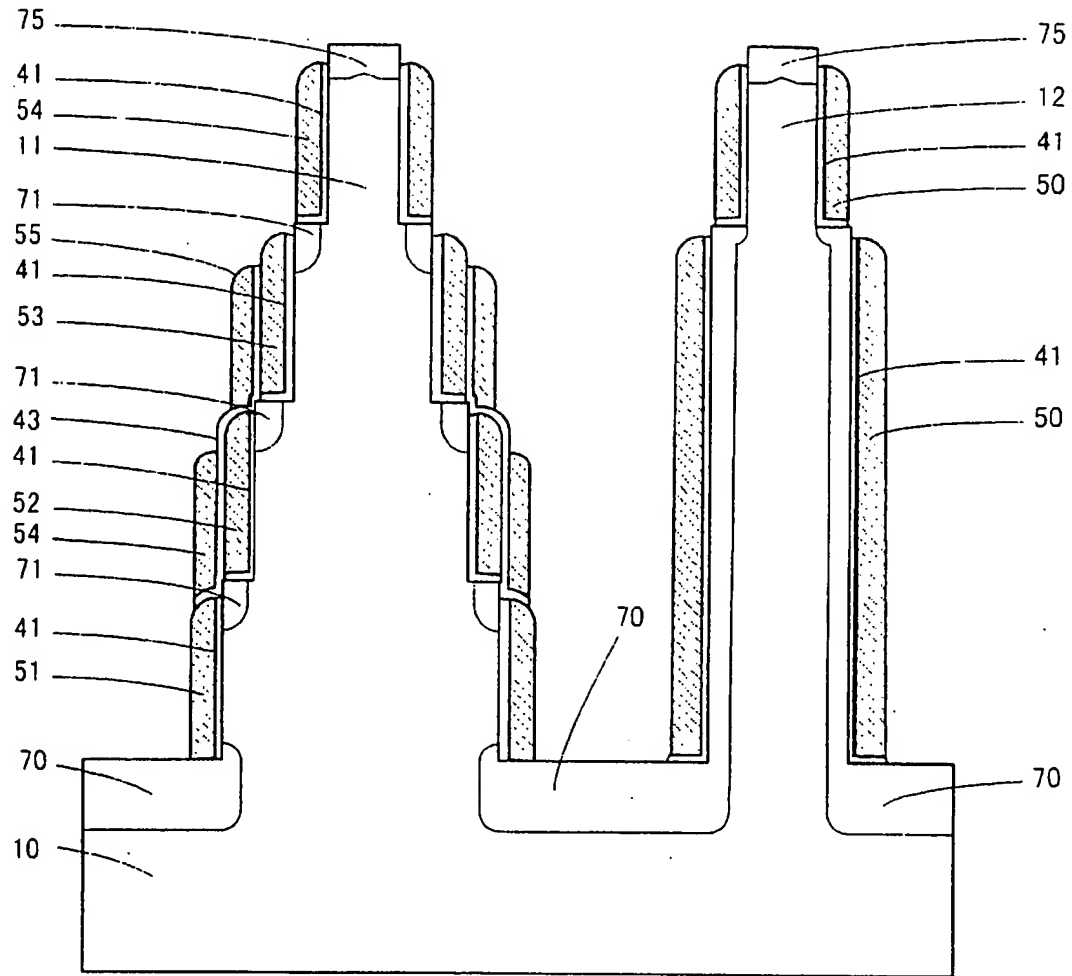
[10] サイドウォール除去工程の少なくとも1回は第2島状半導体層のサイドウォールを除去しないことにより、第1島状半導体層よりも少ない数の段差を有する側壁を第2島状半導体層に形成する請求項7または8記載の製造方法。

[11] 請求項1〜5のいずれか1つに記載の半導体装置を備える携帯電子機器。

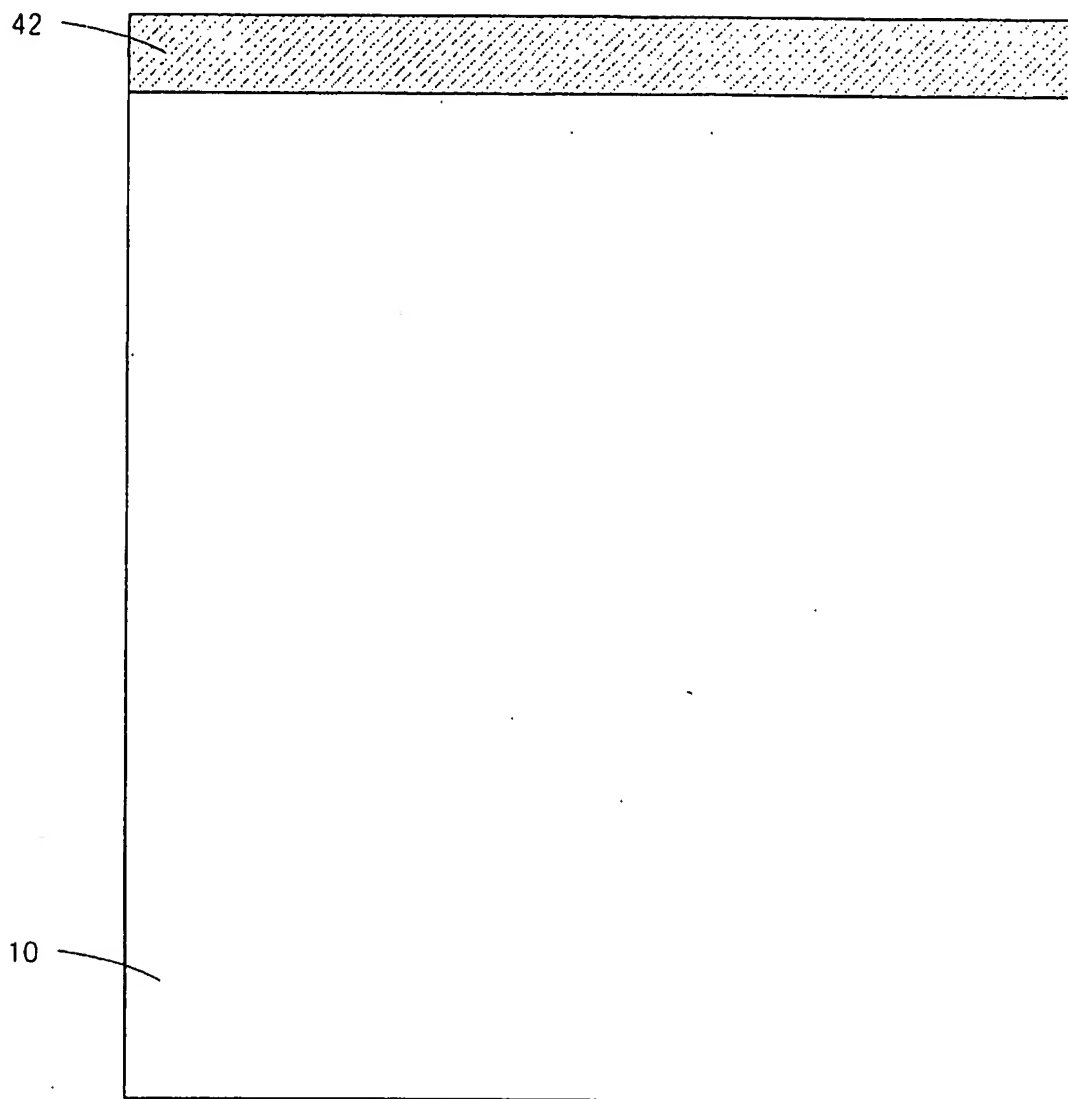
[図1]



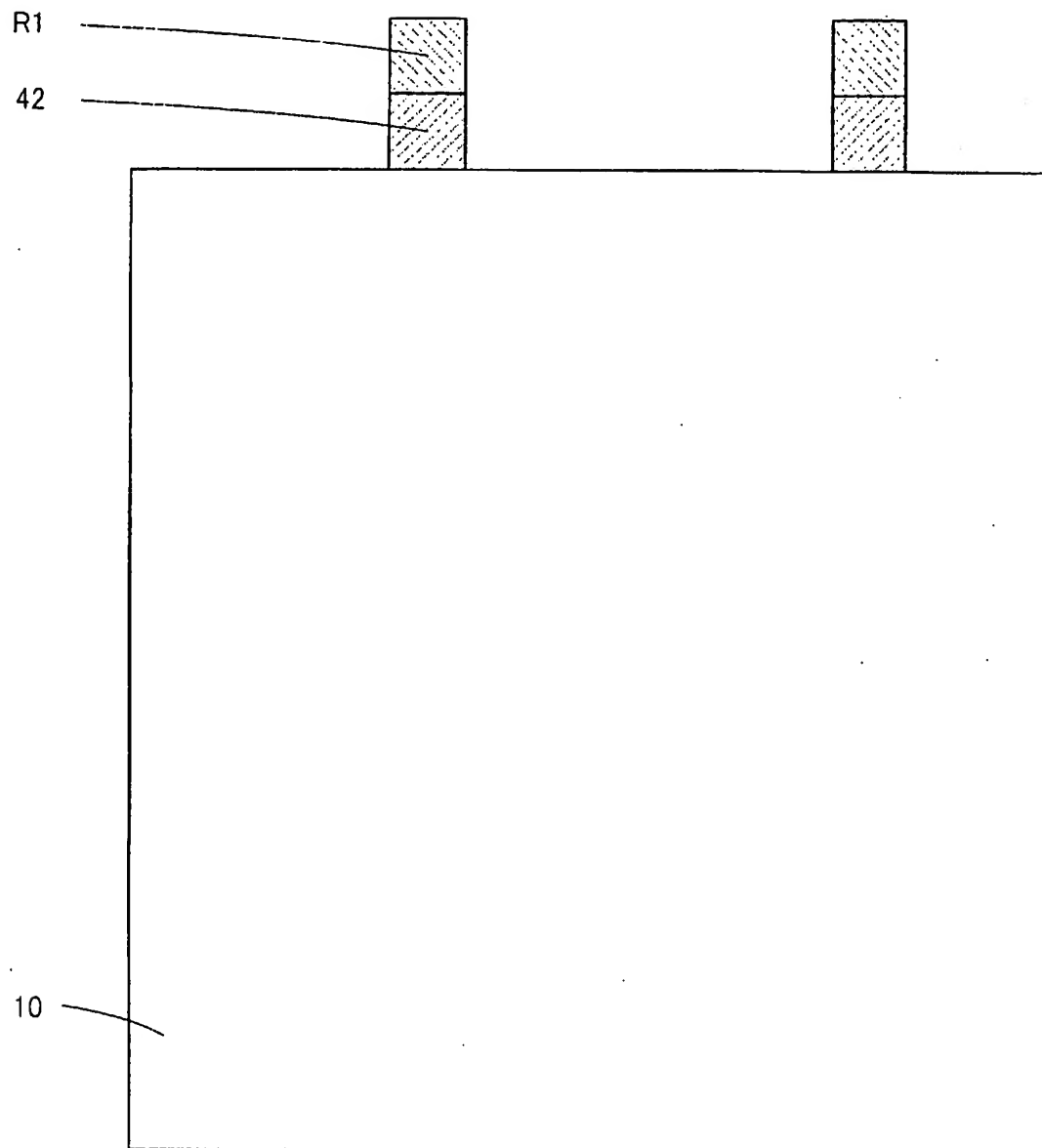
[[图2]]



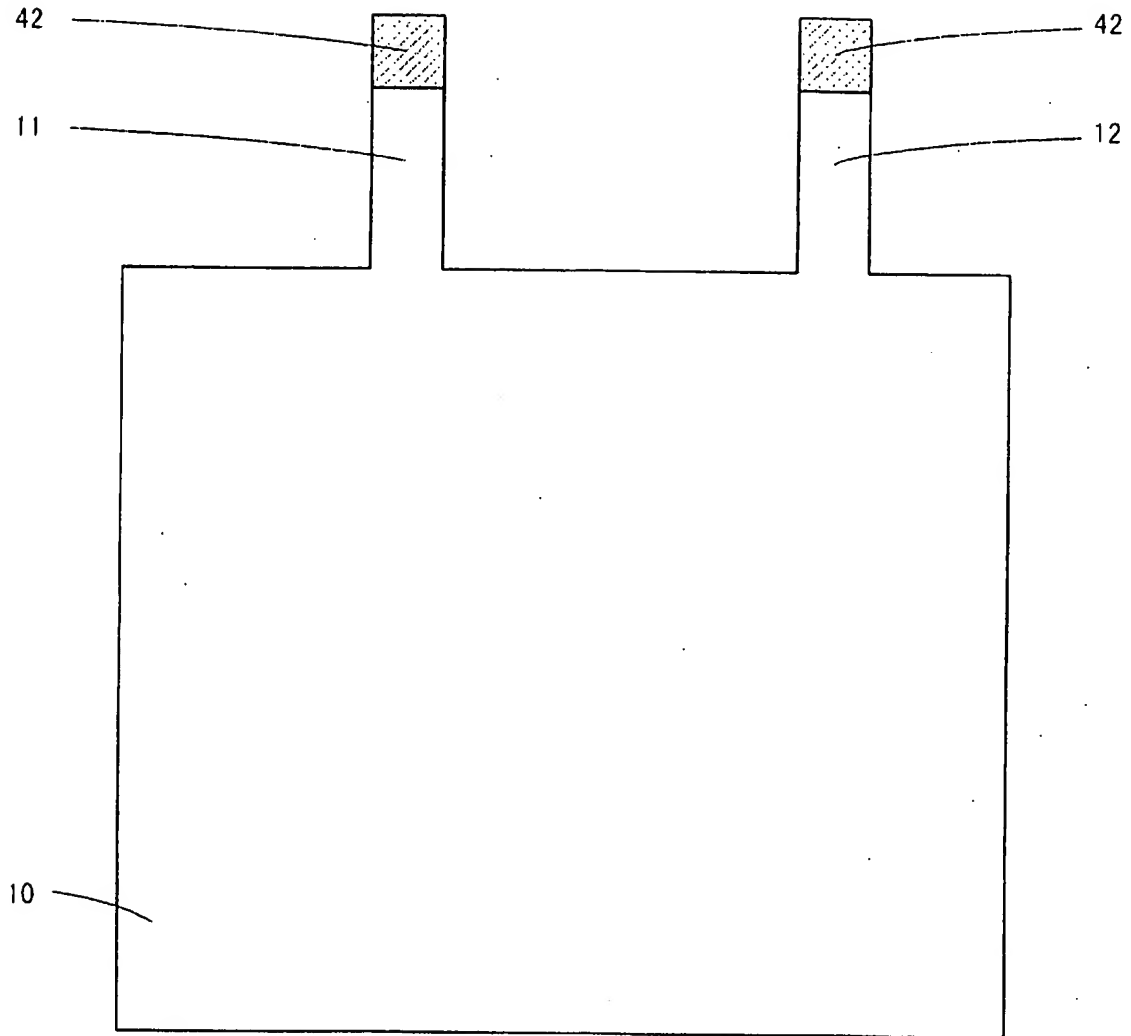
[図3]



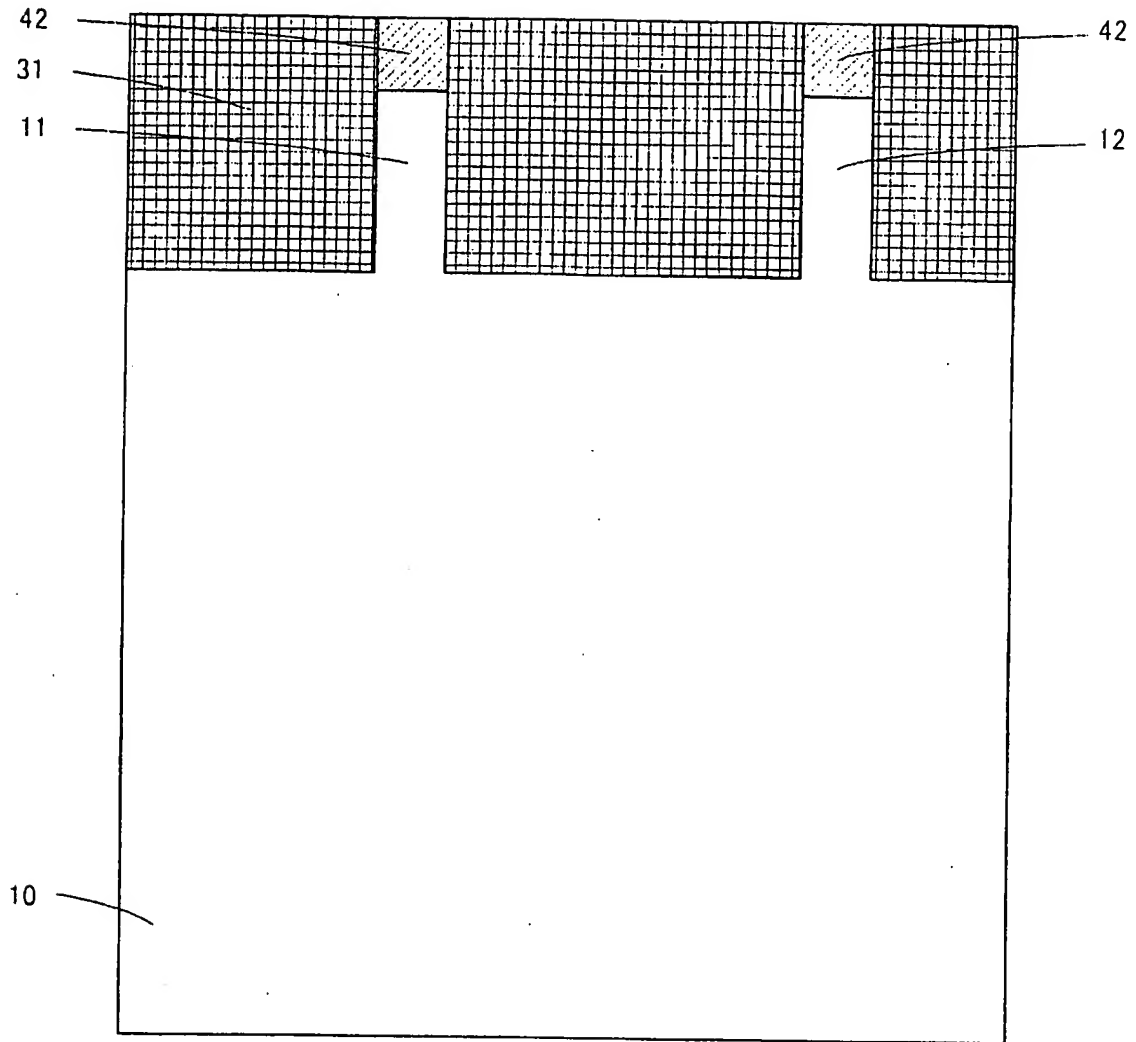
[図4]



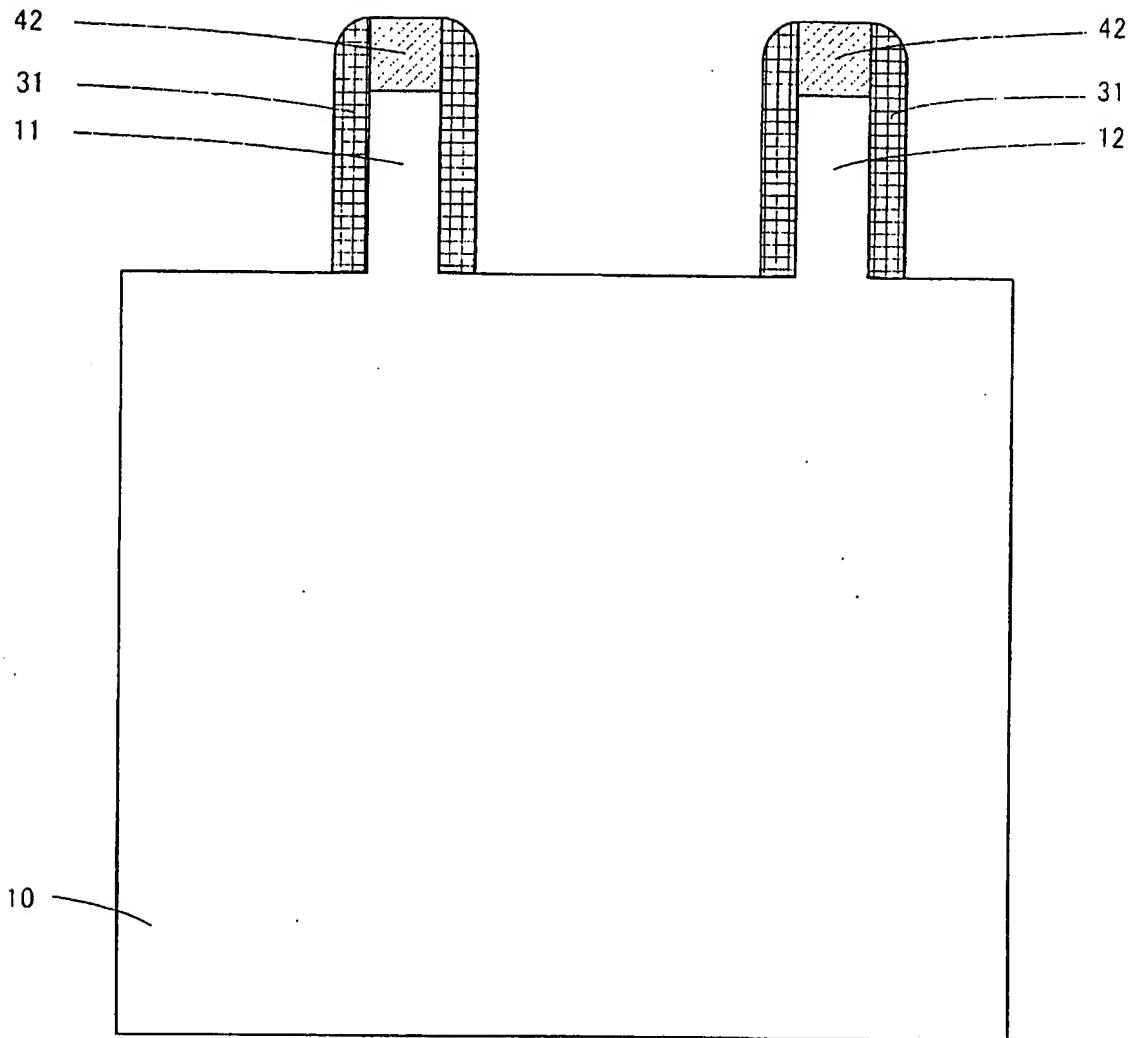
[図5]



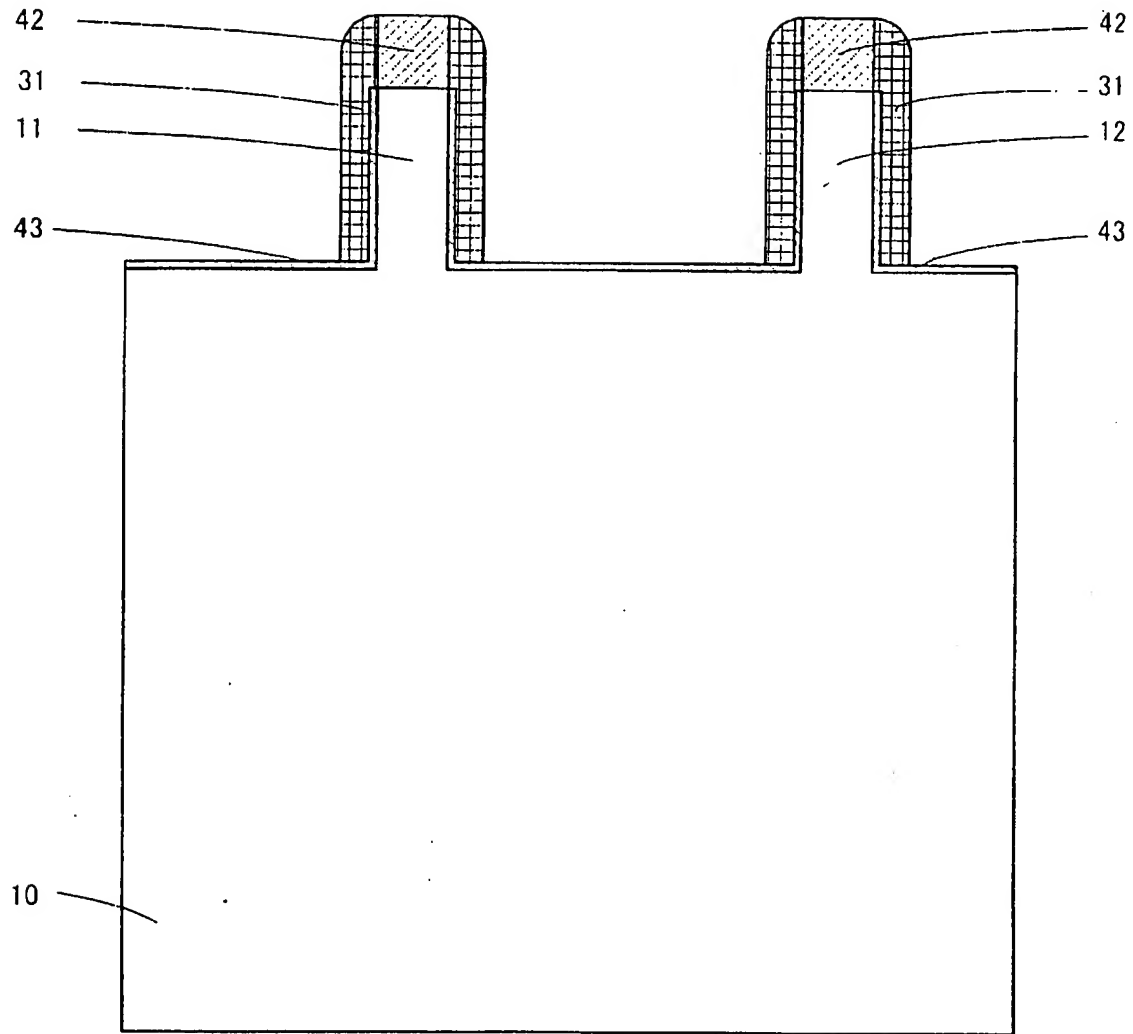
[図6]



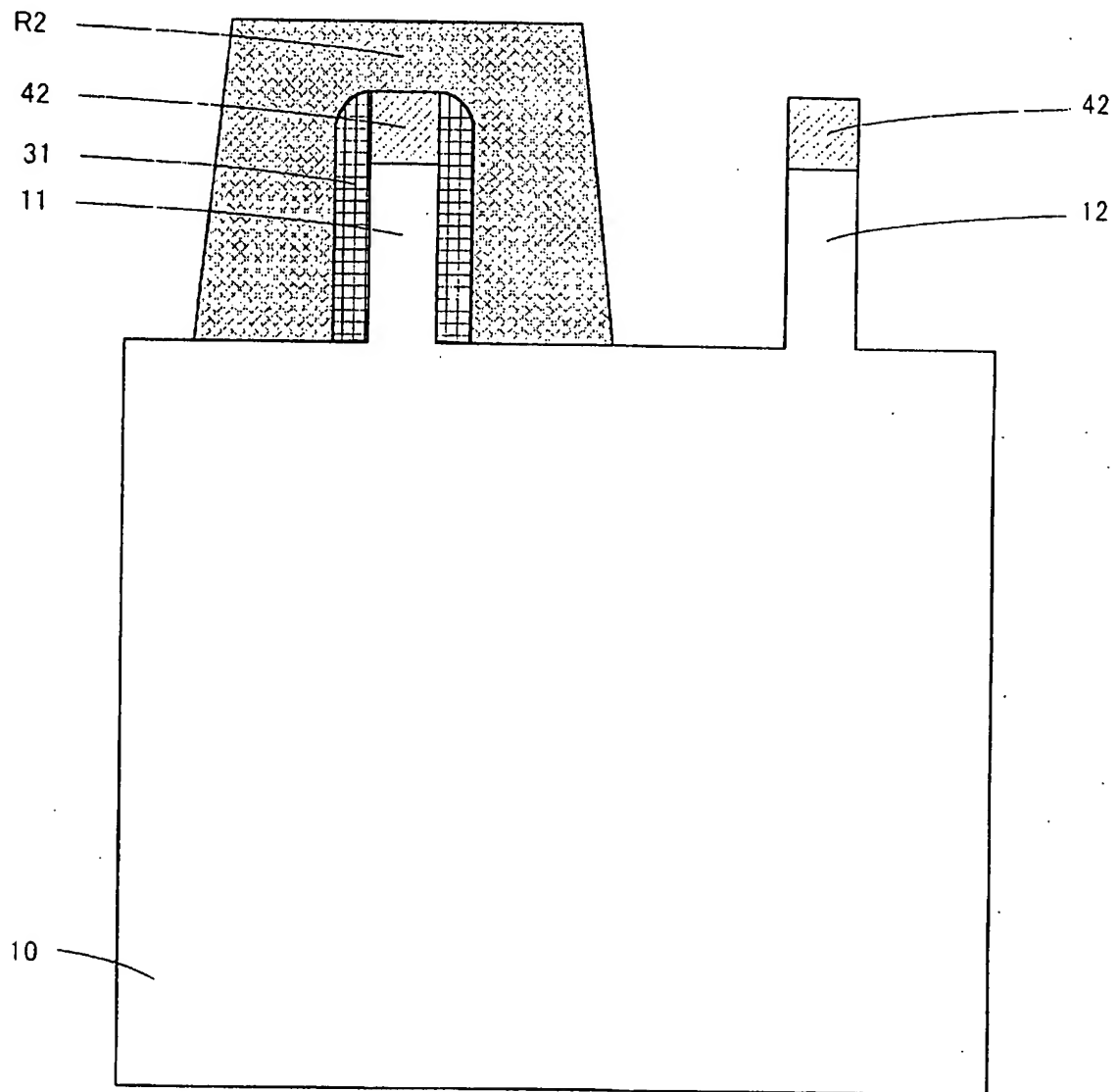
[図7]



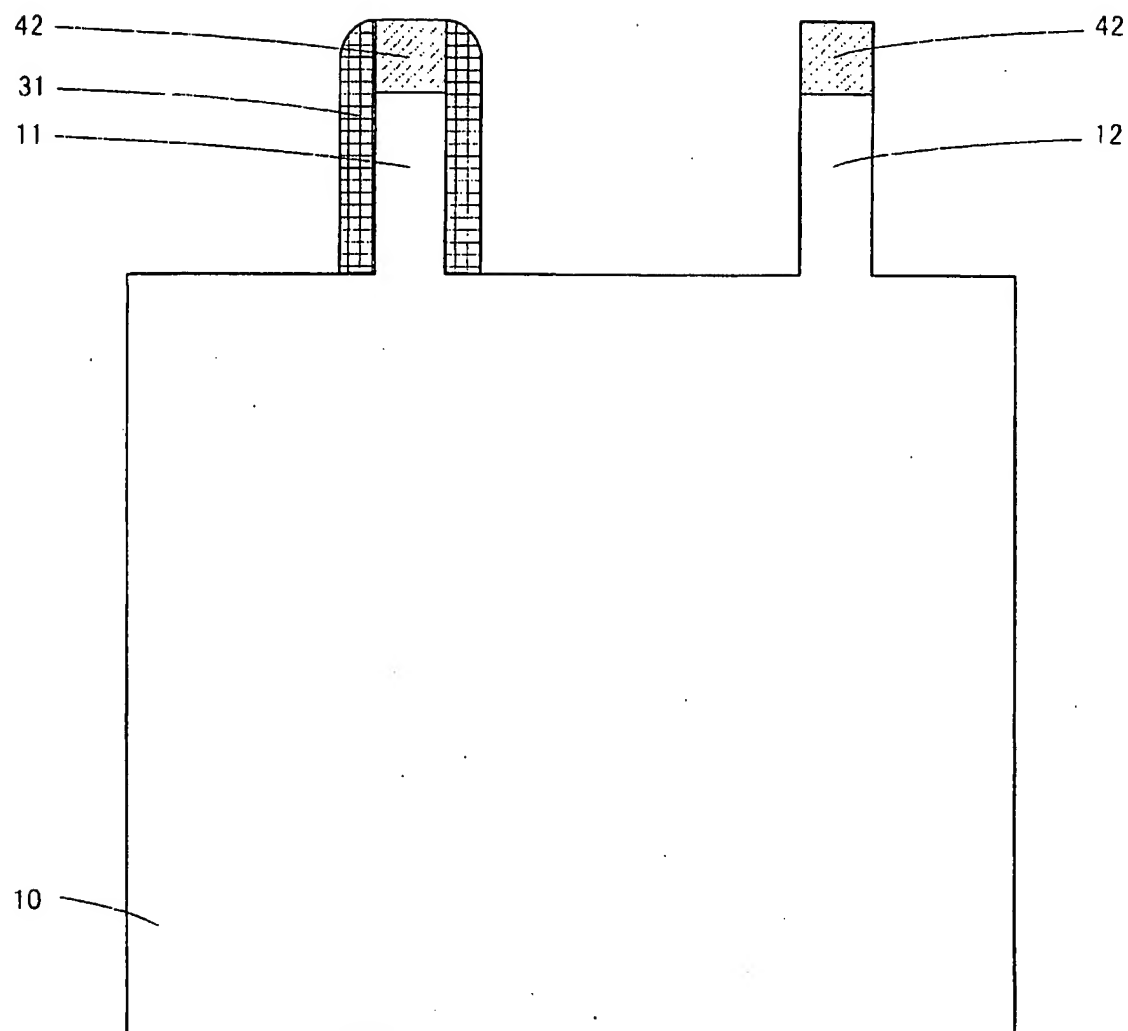
[図8]



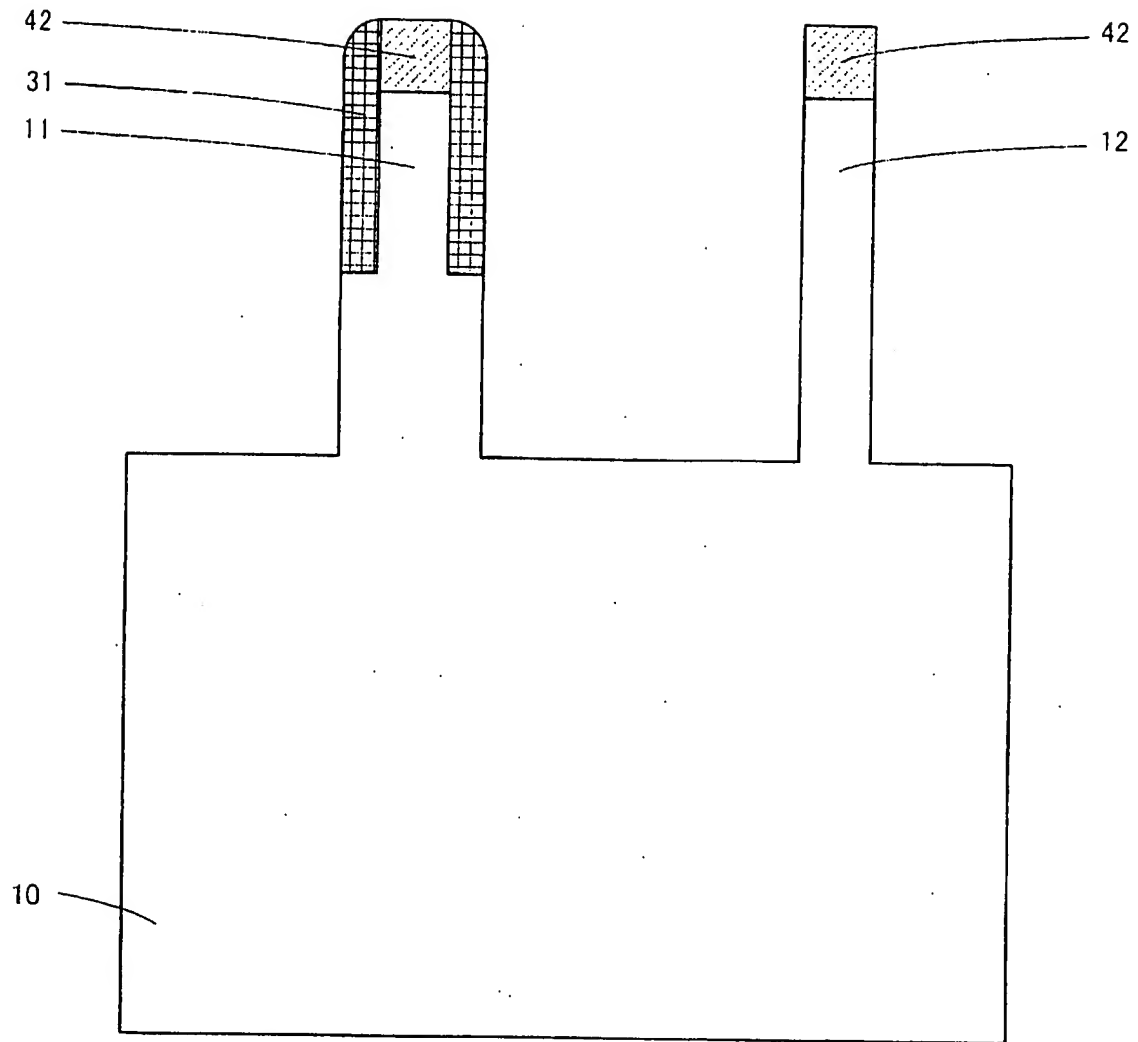
[図9]



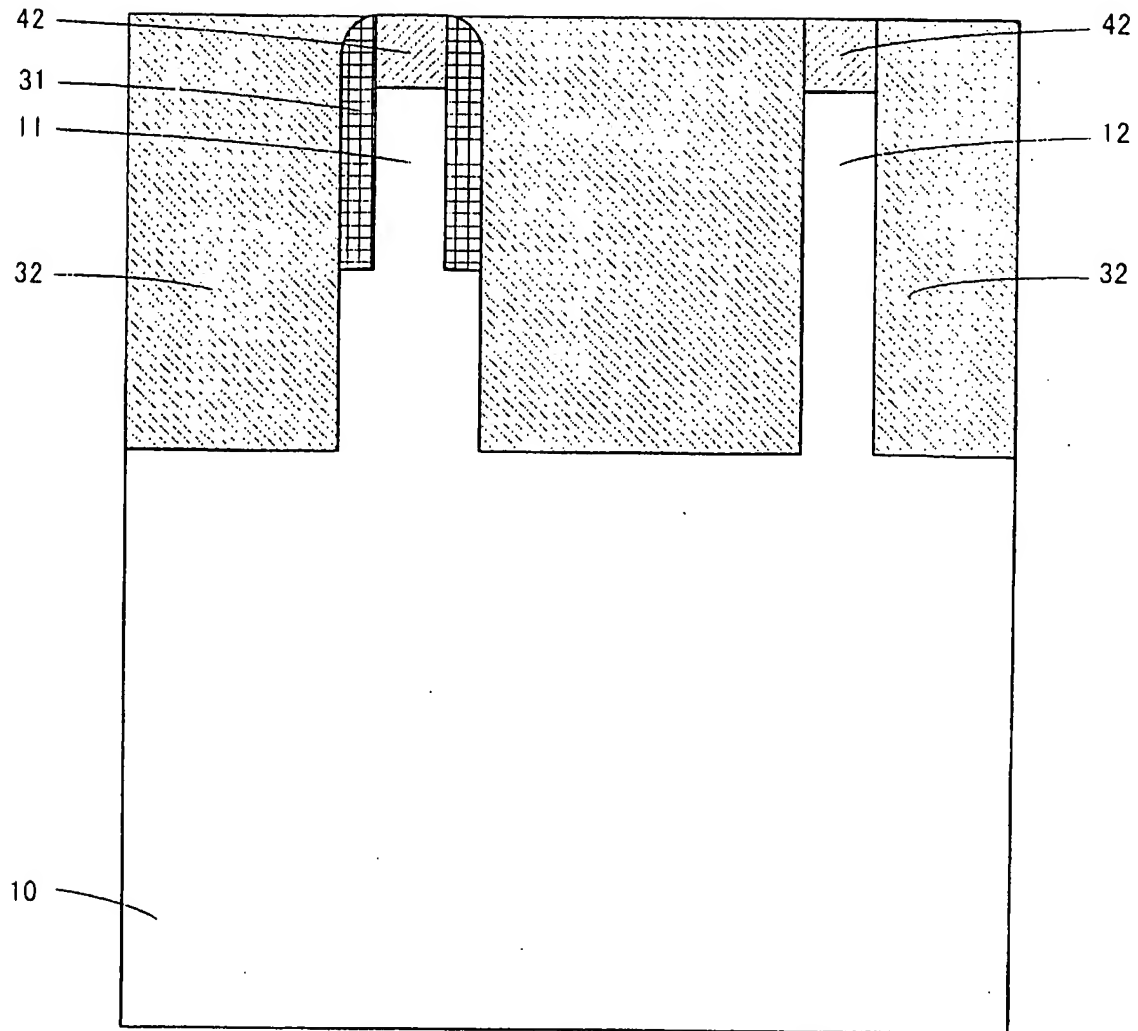
[図10]



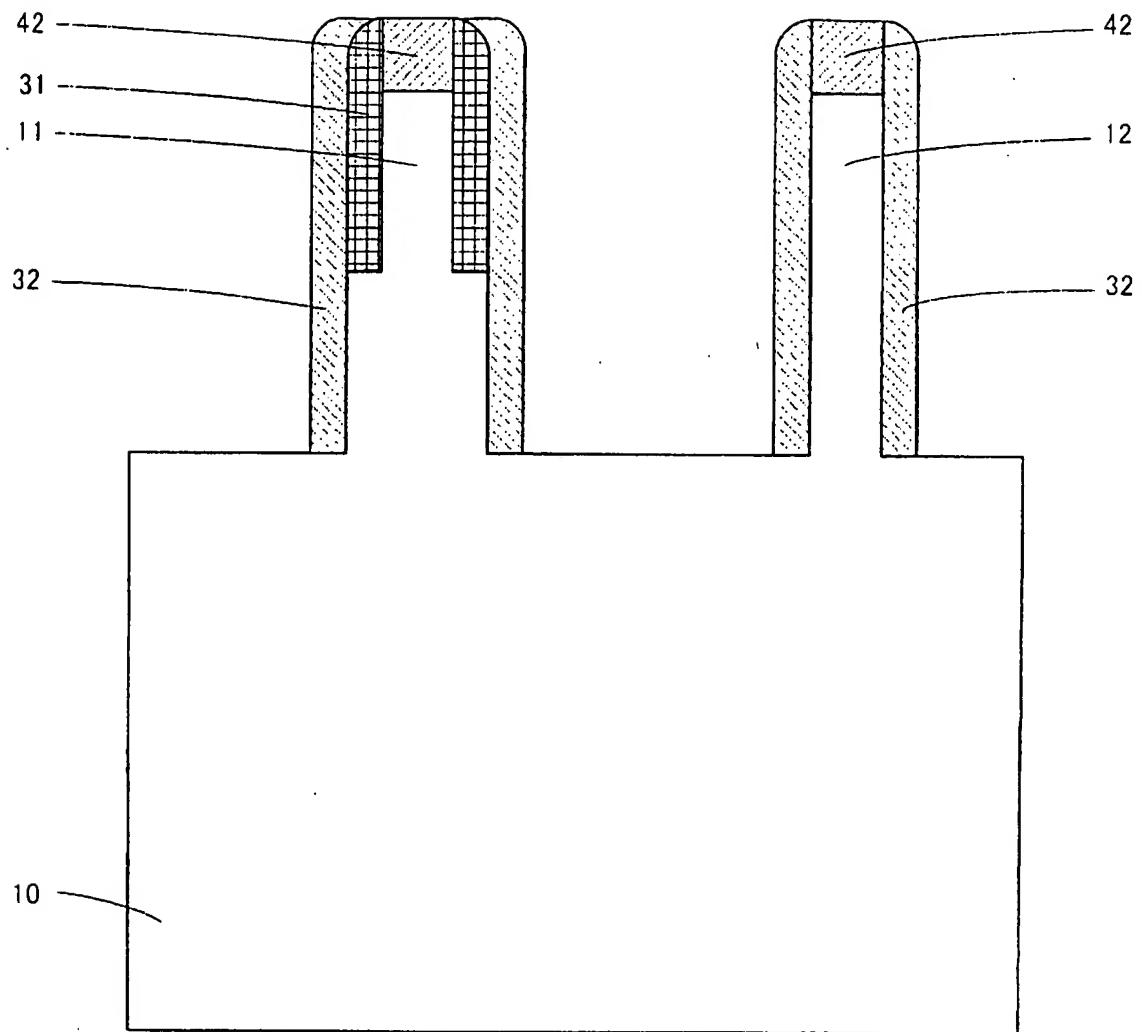
[図11]



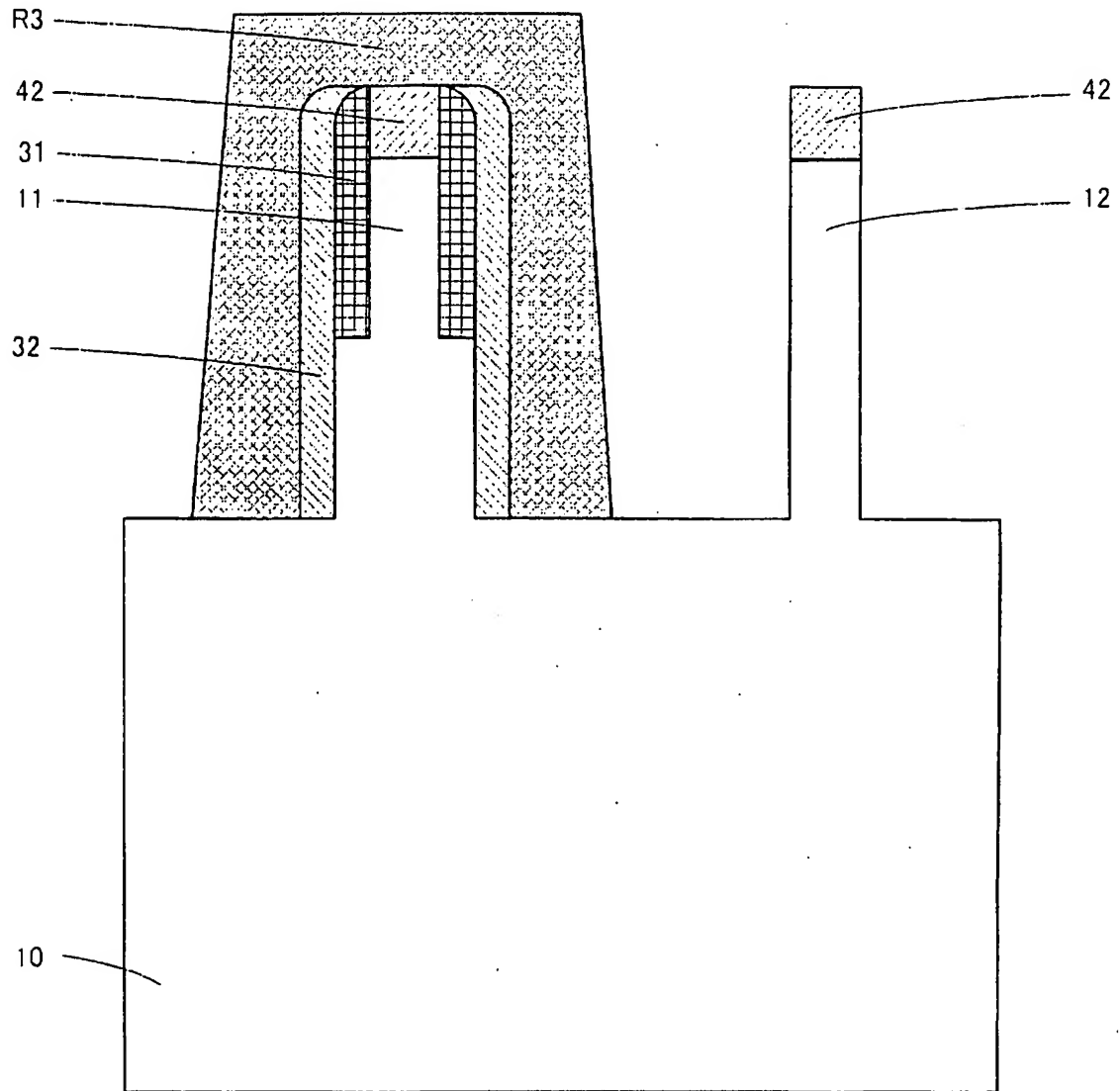
[図12]



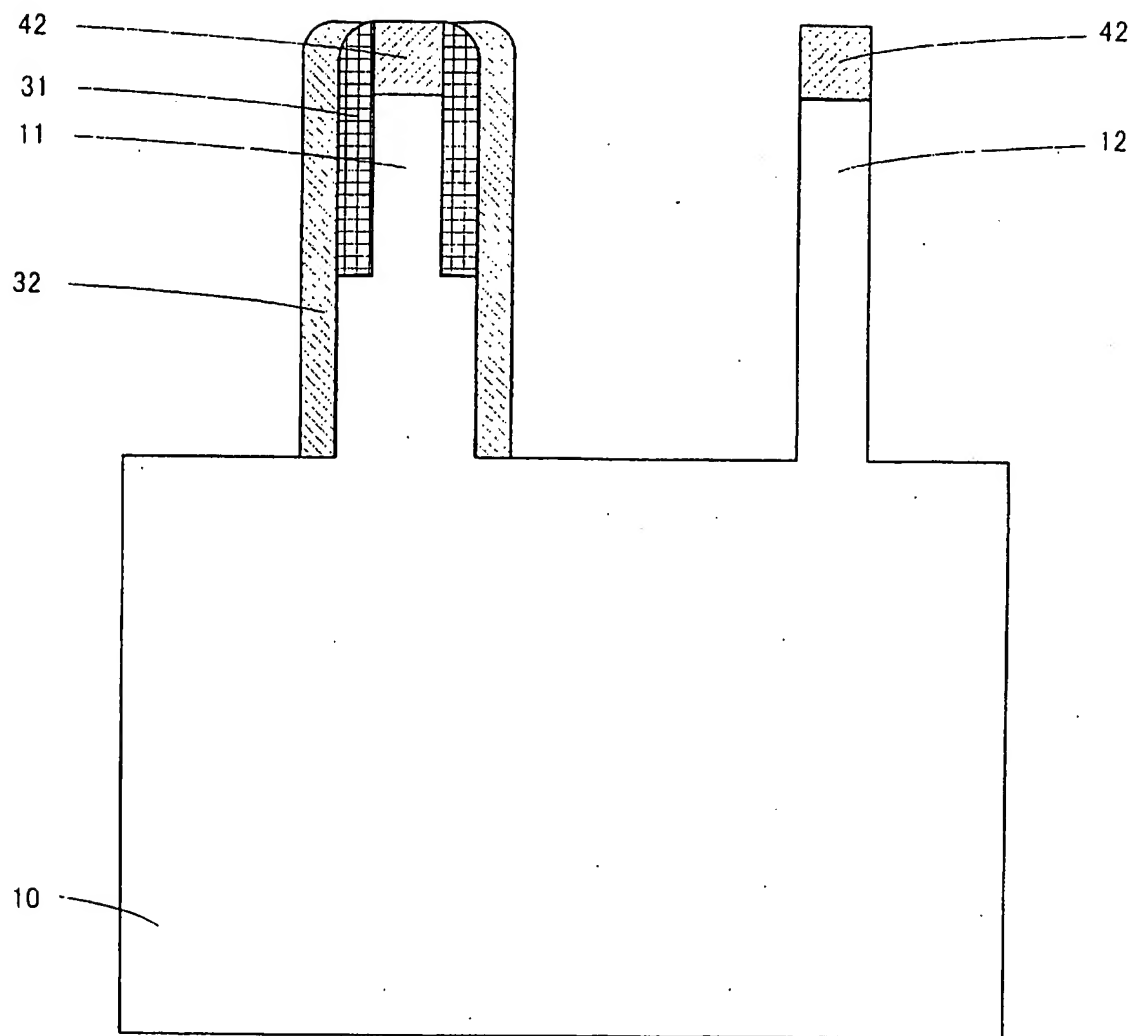
[図13]



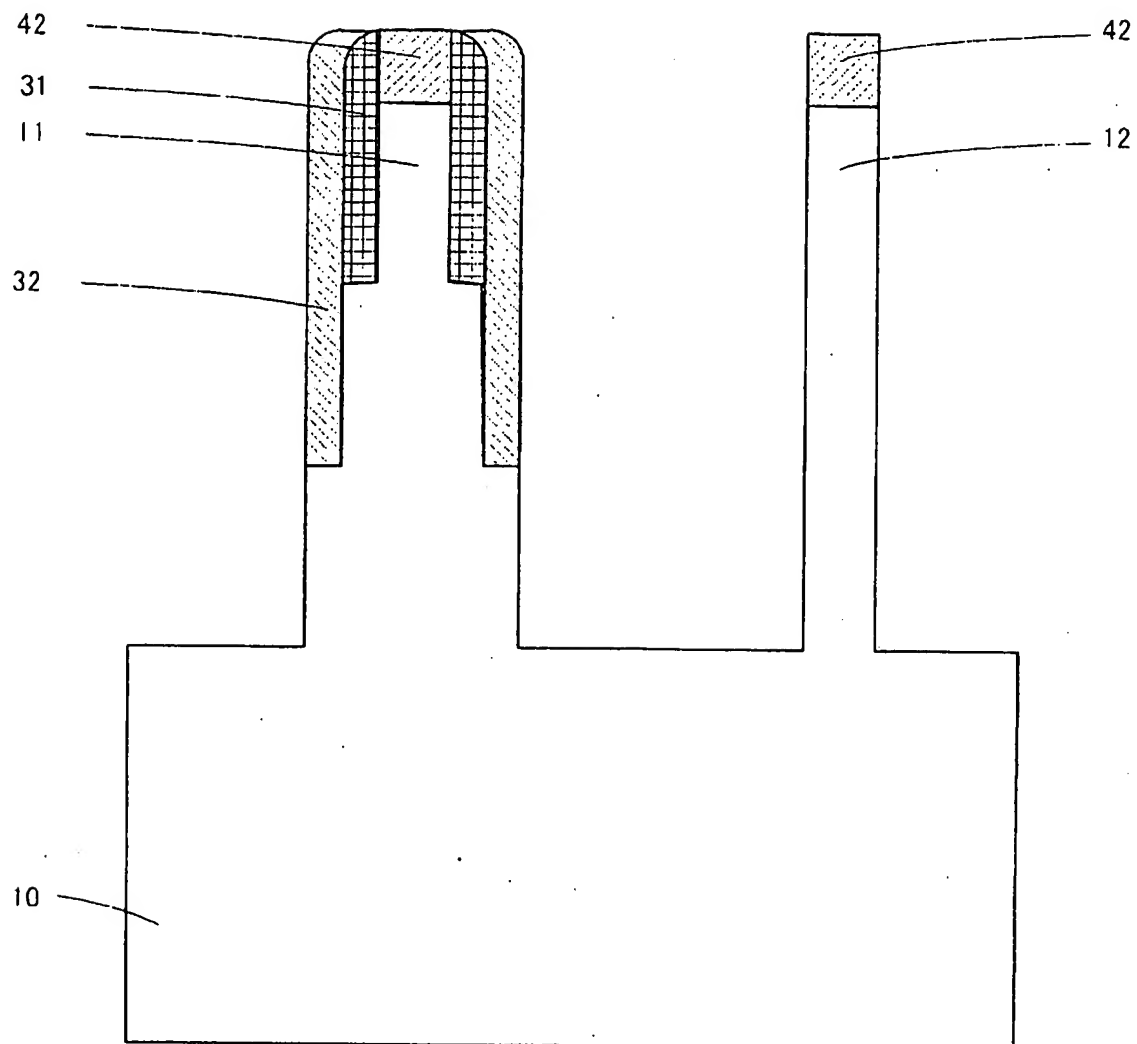
[図14]



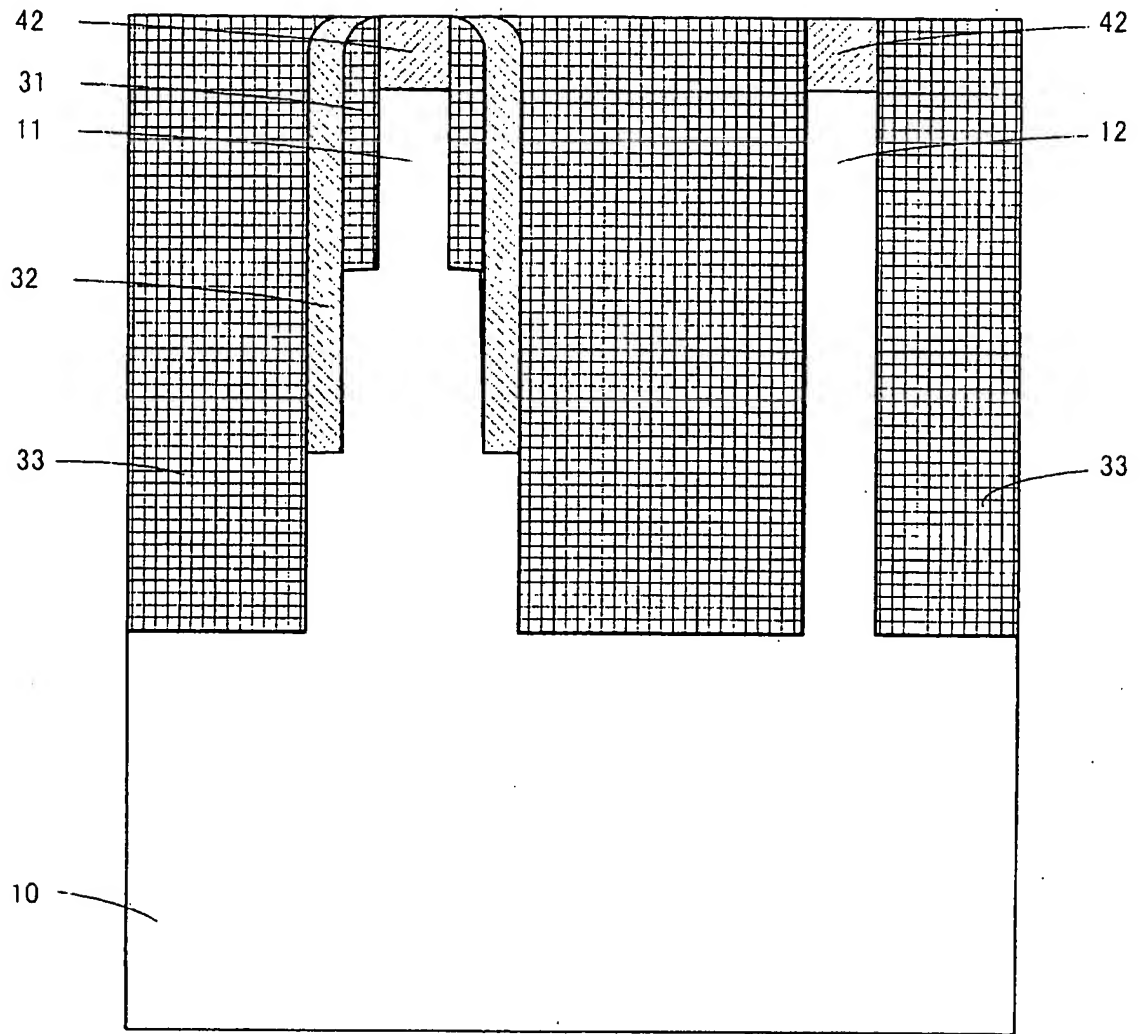
[図15]



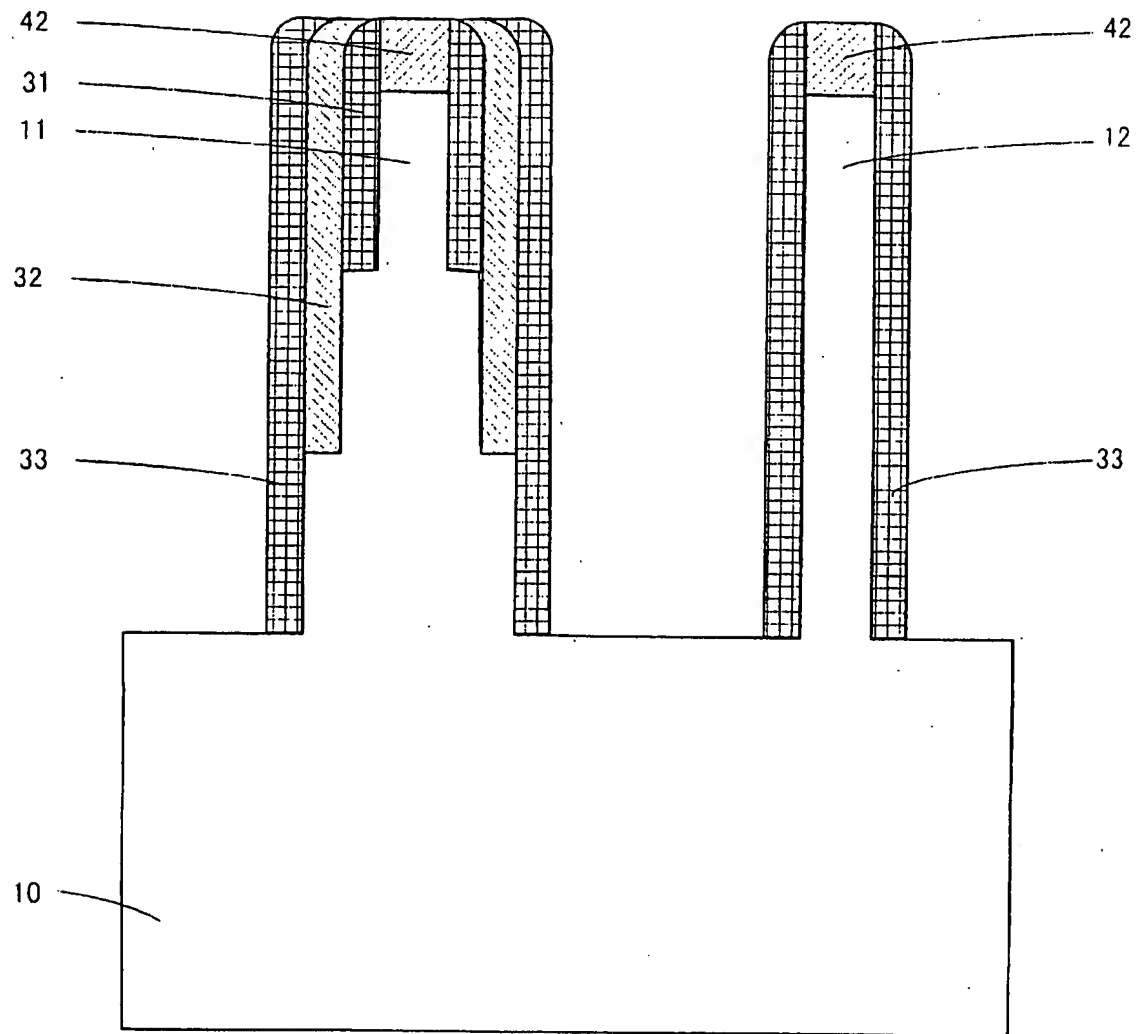
[図16]



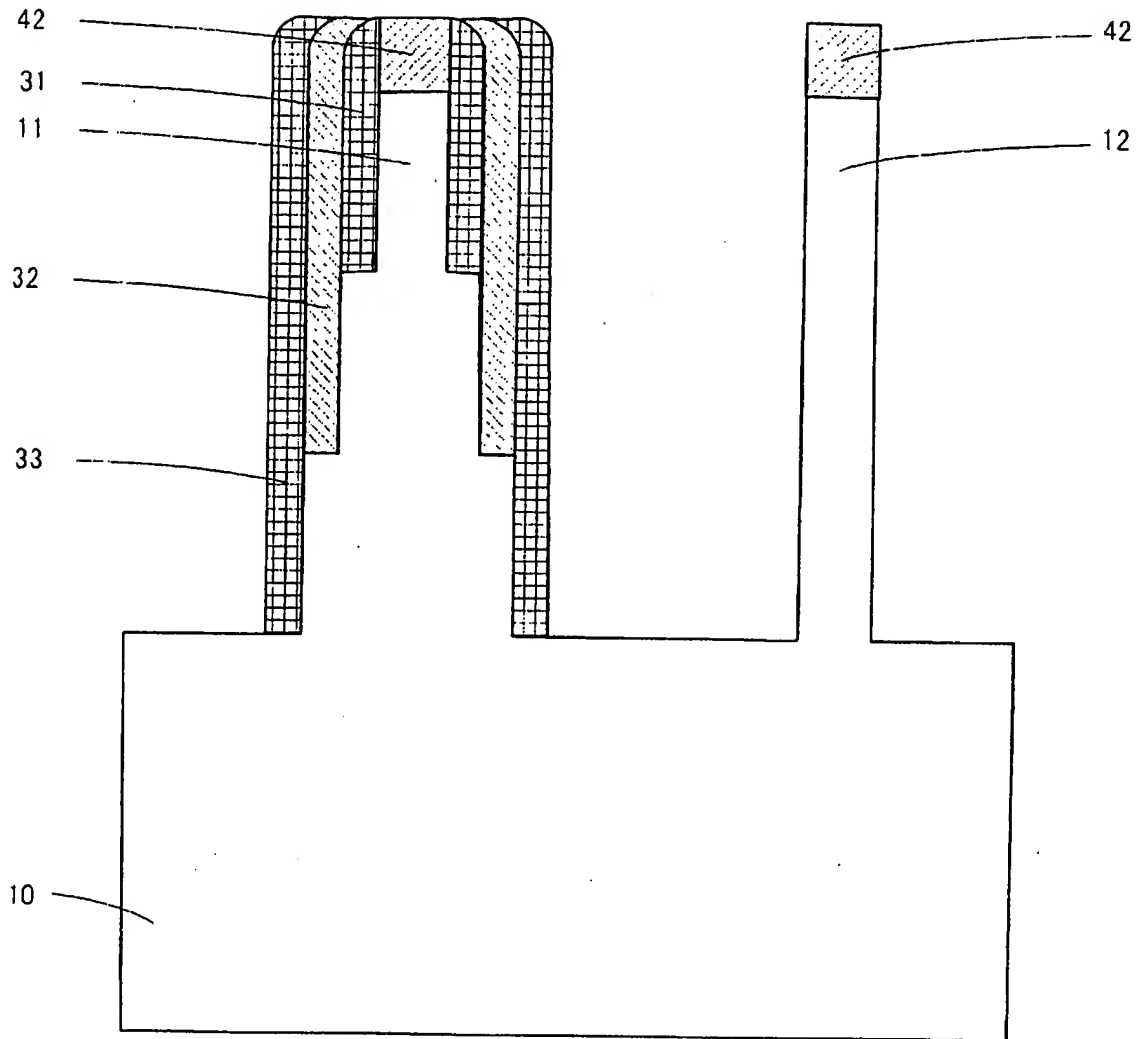
[図17]



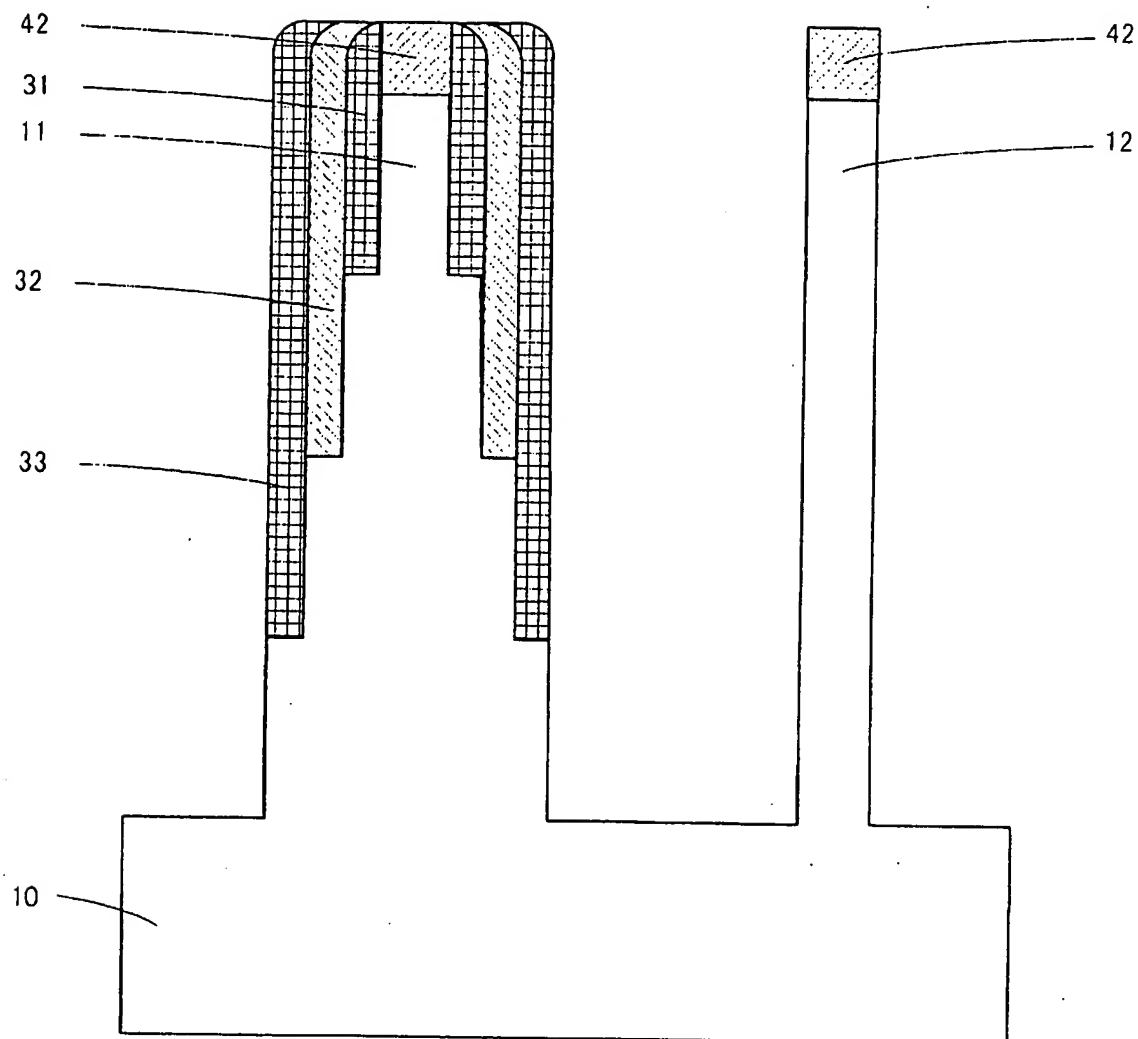
[図18]



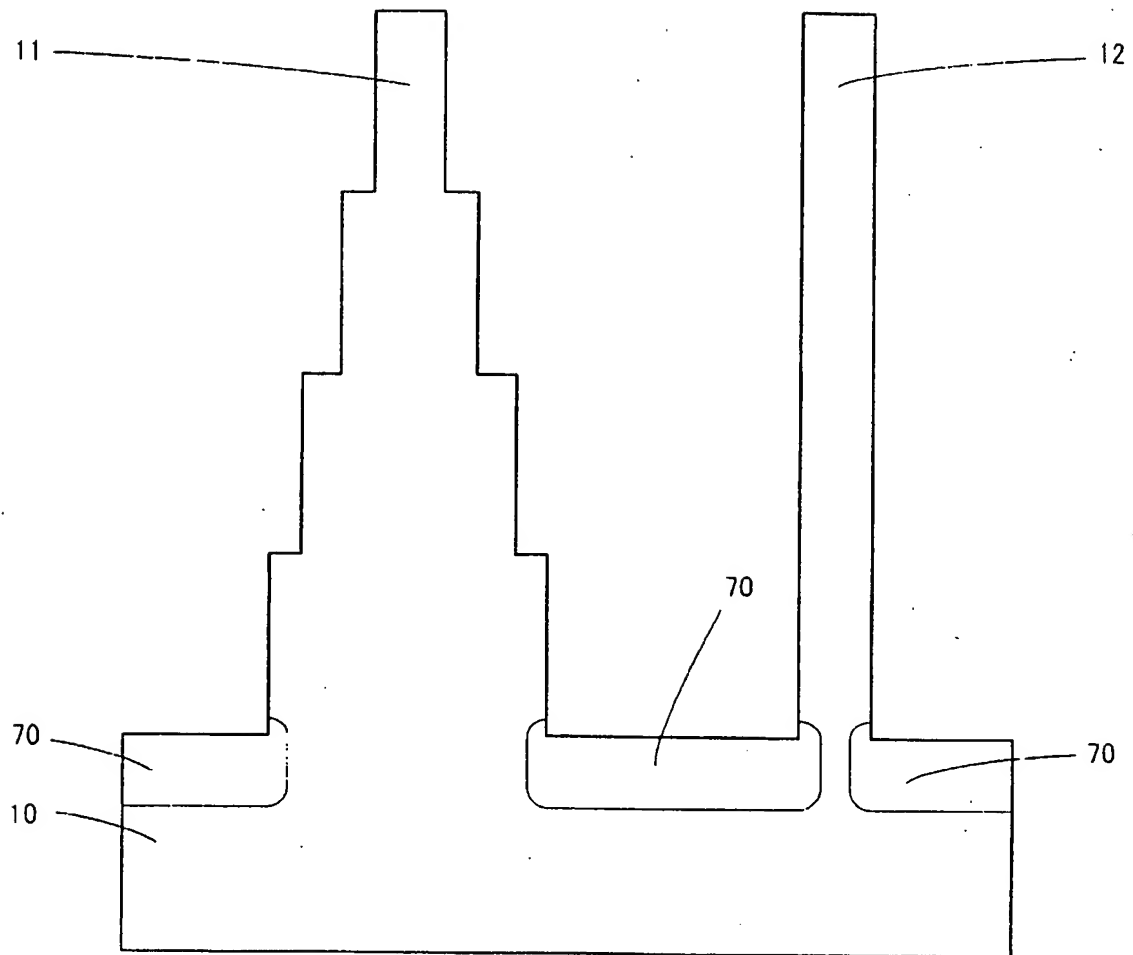
[図20]



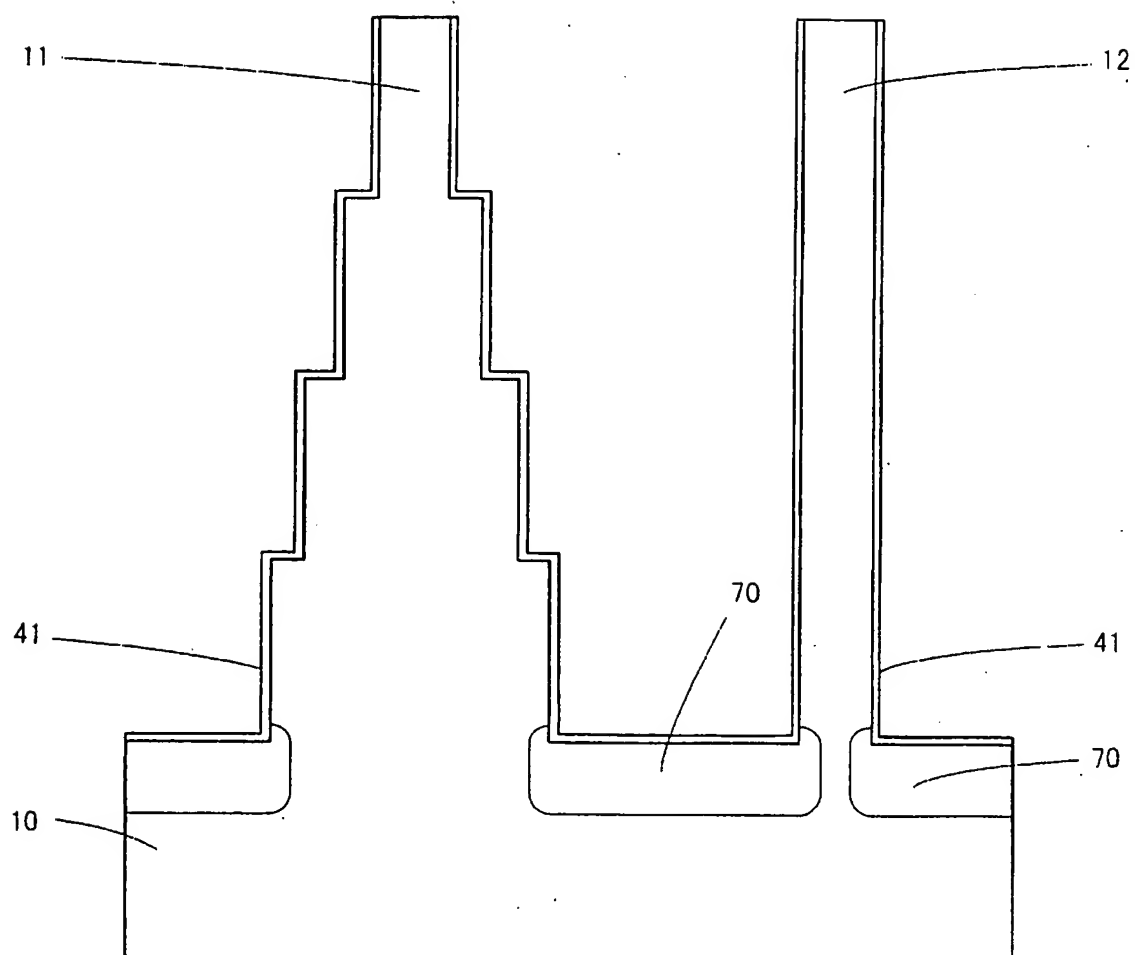
[図21]



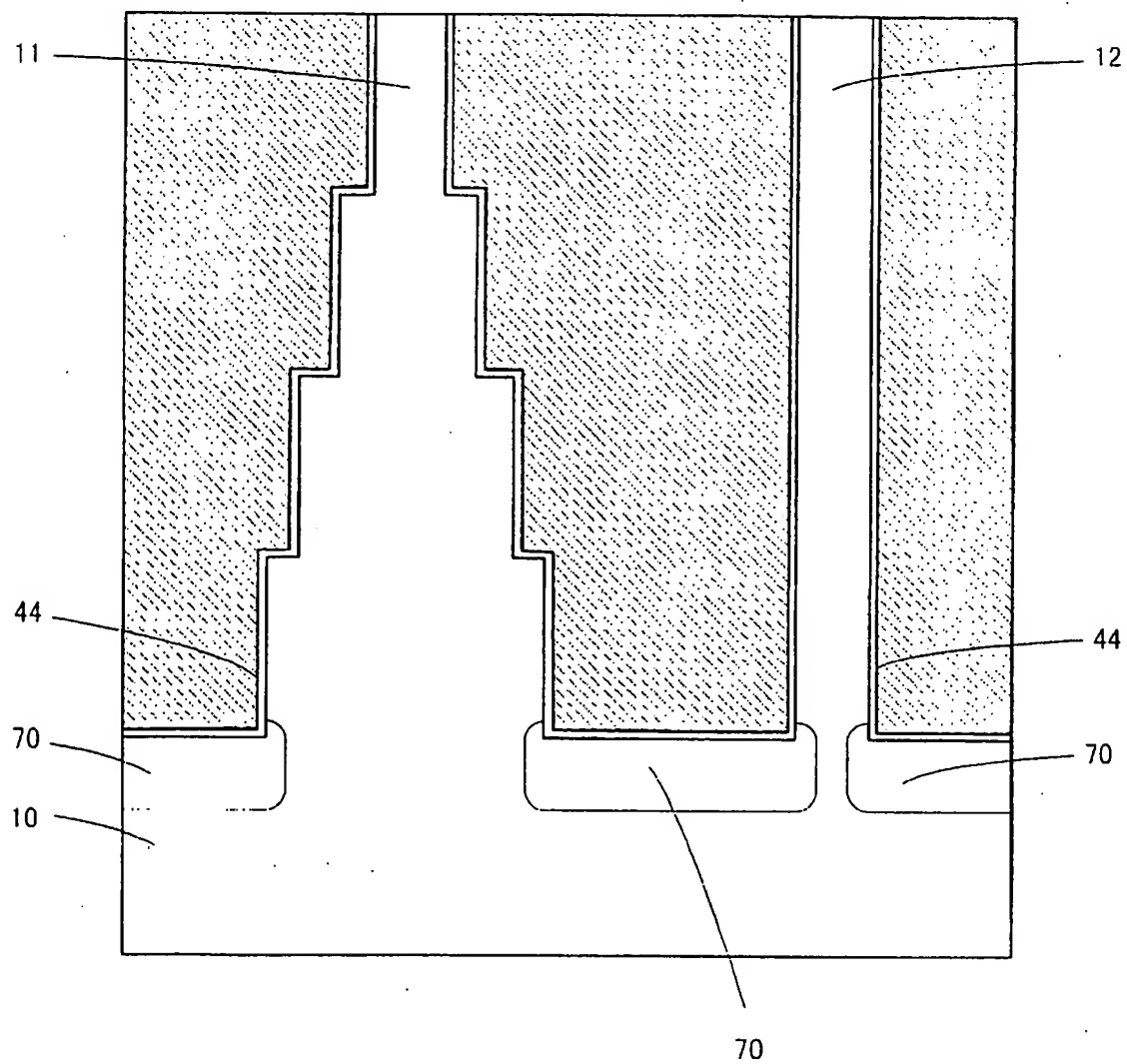
[図22]



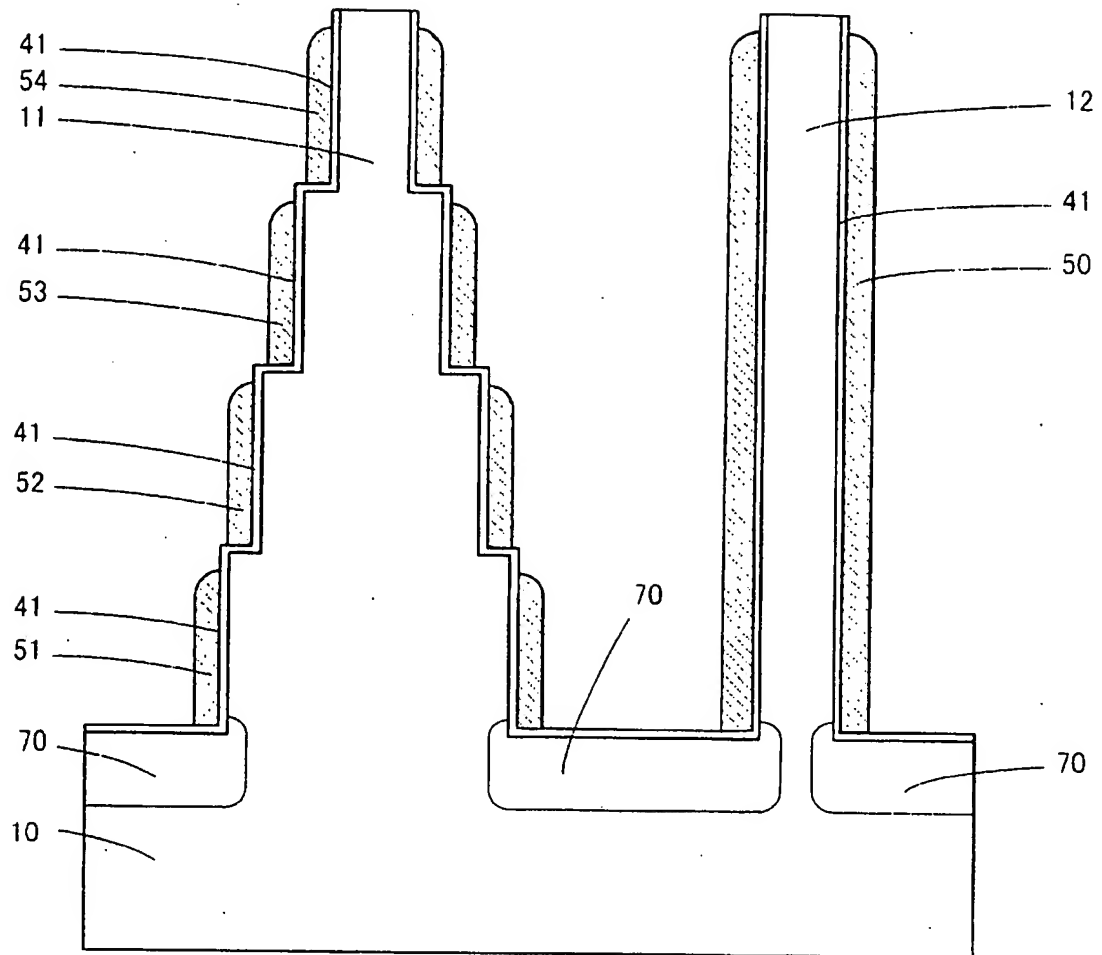
[図23]



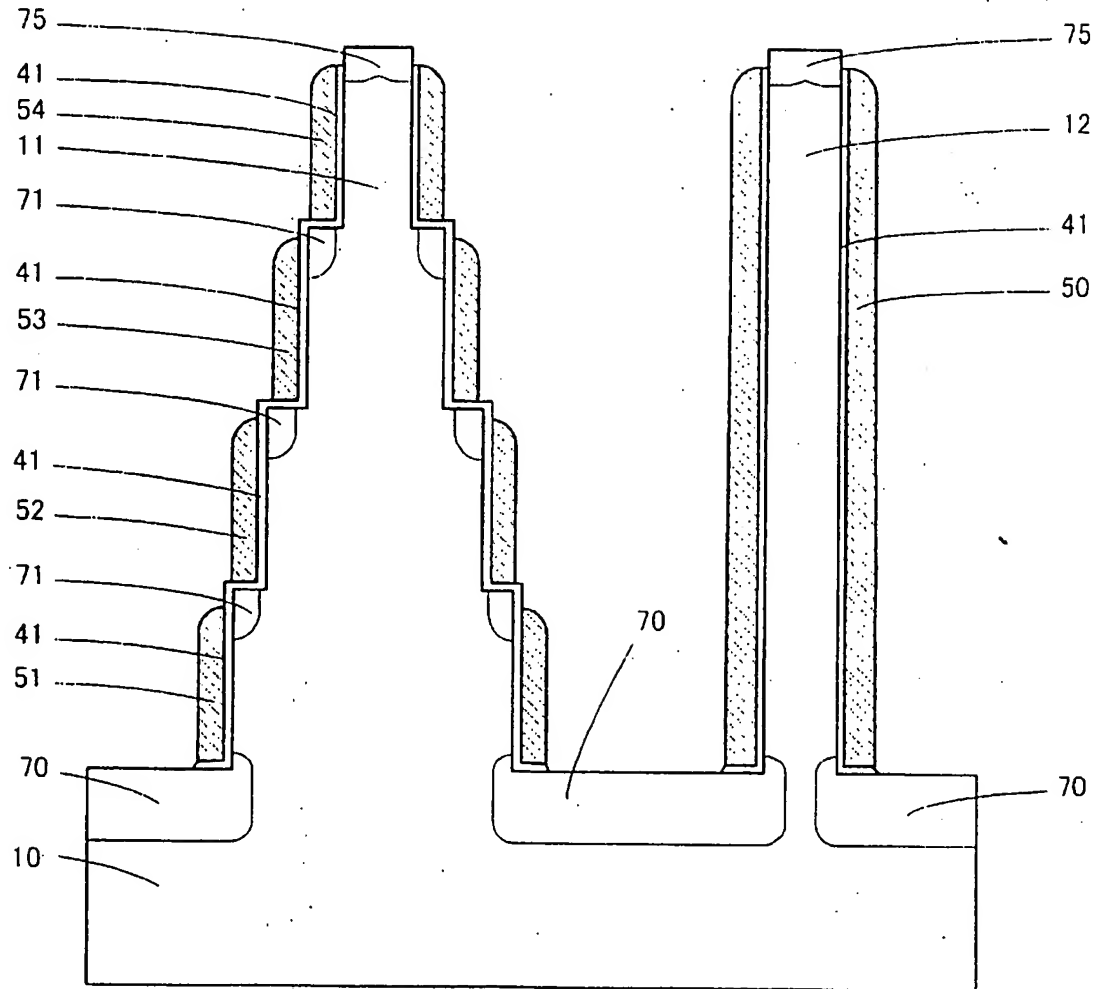
[図24]



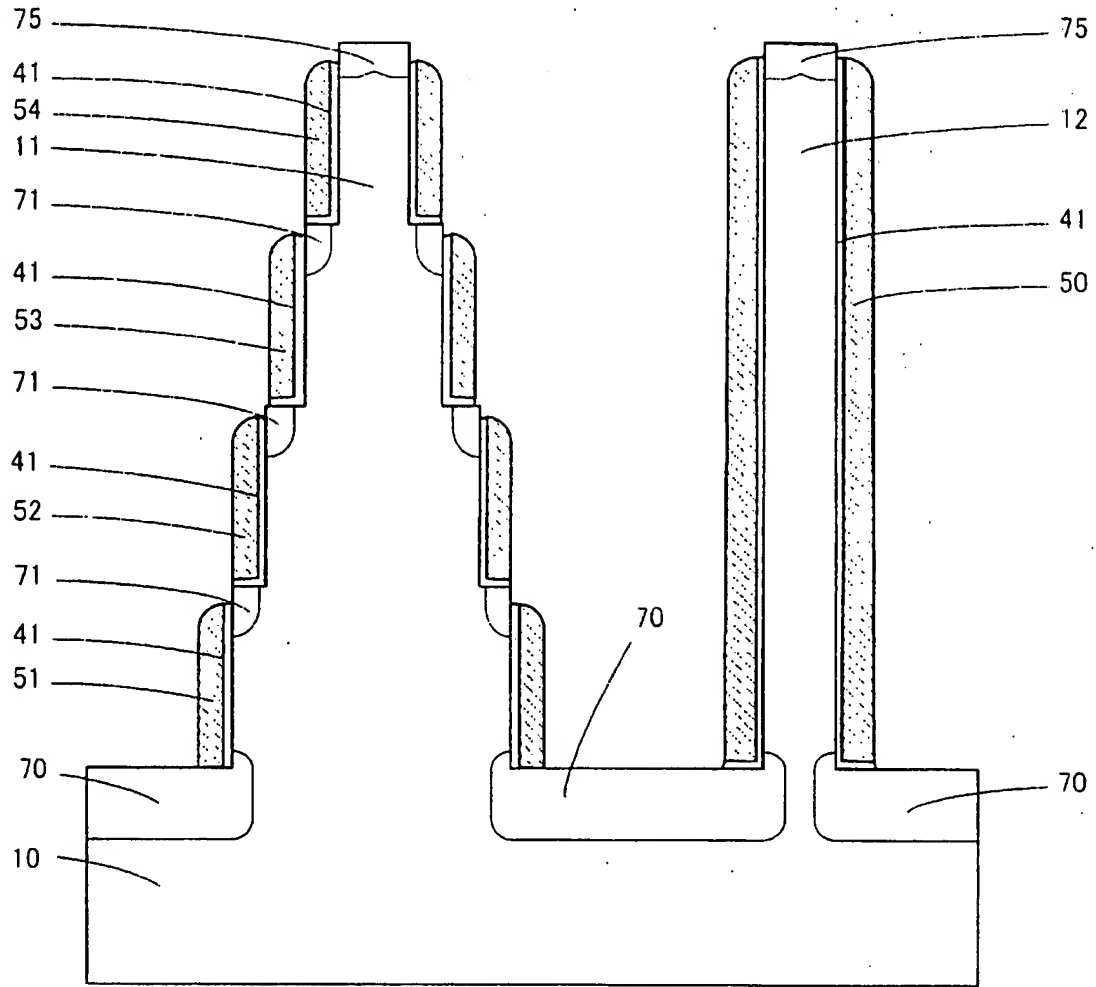
[図25]



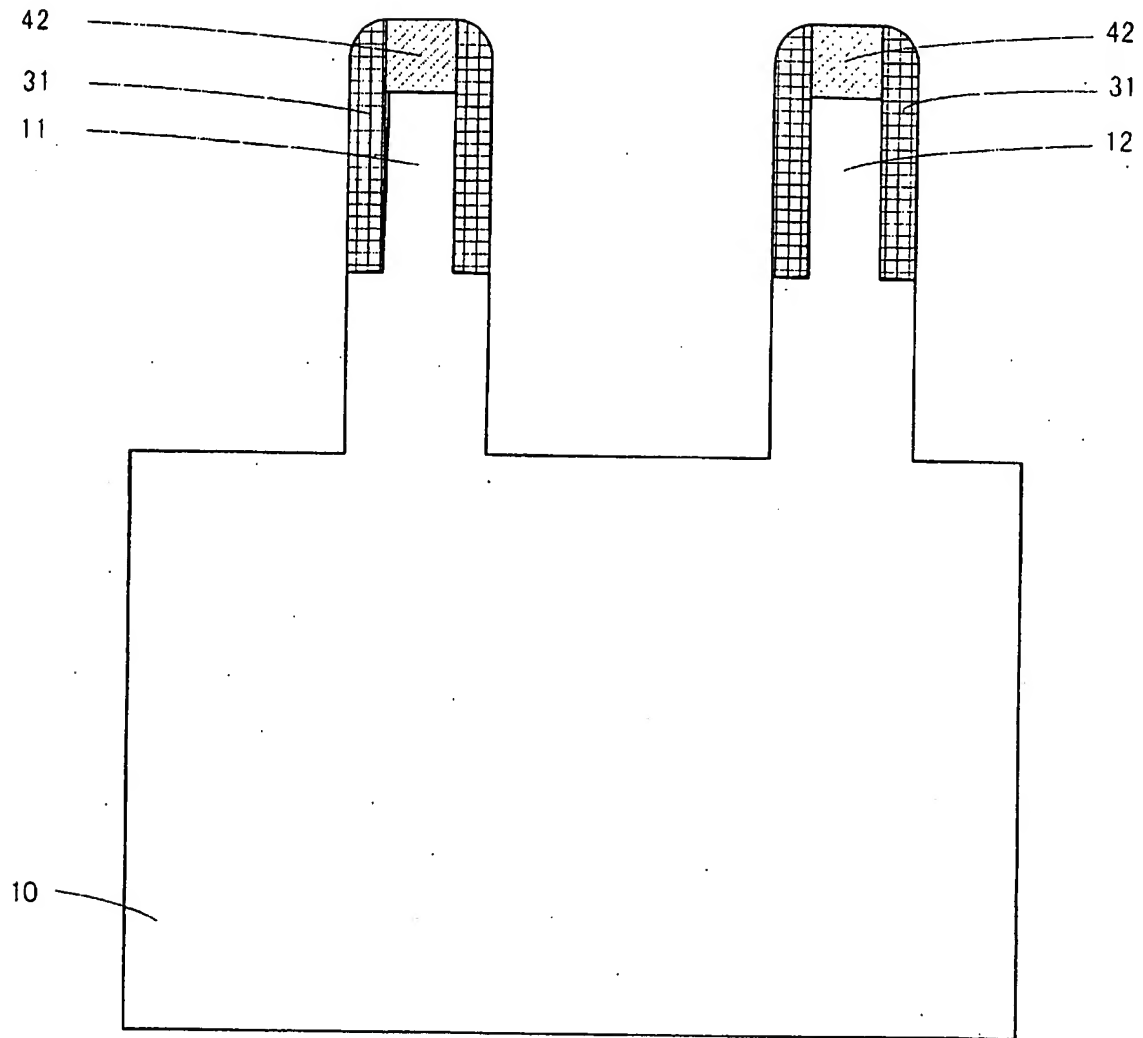
[図26]



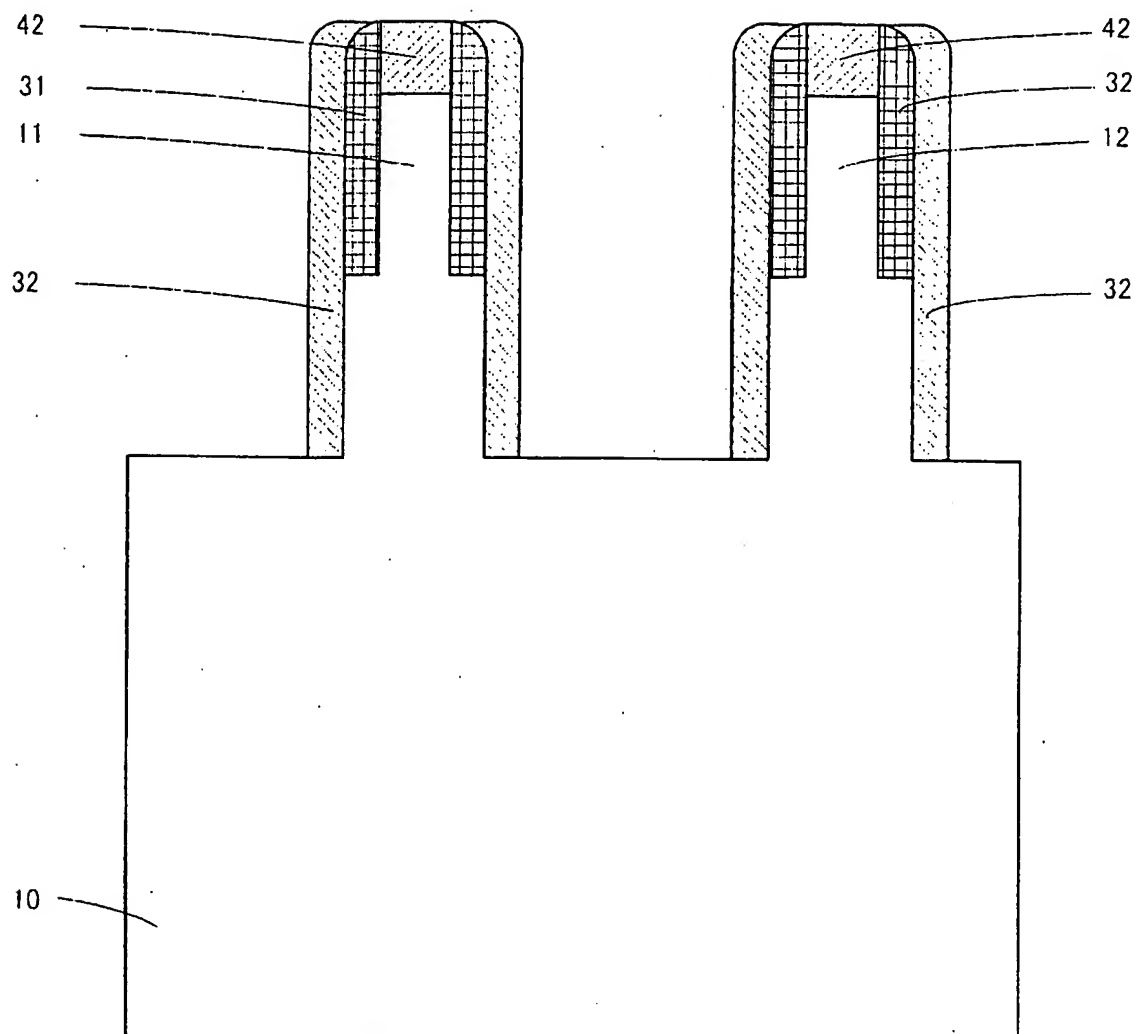
[図27]



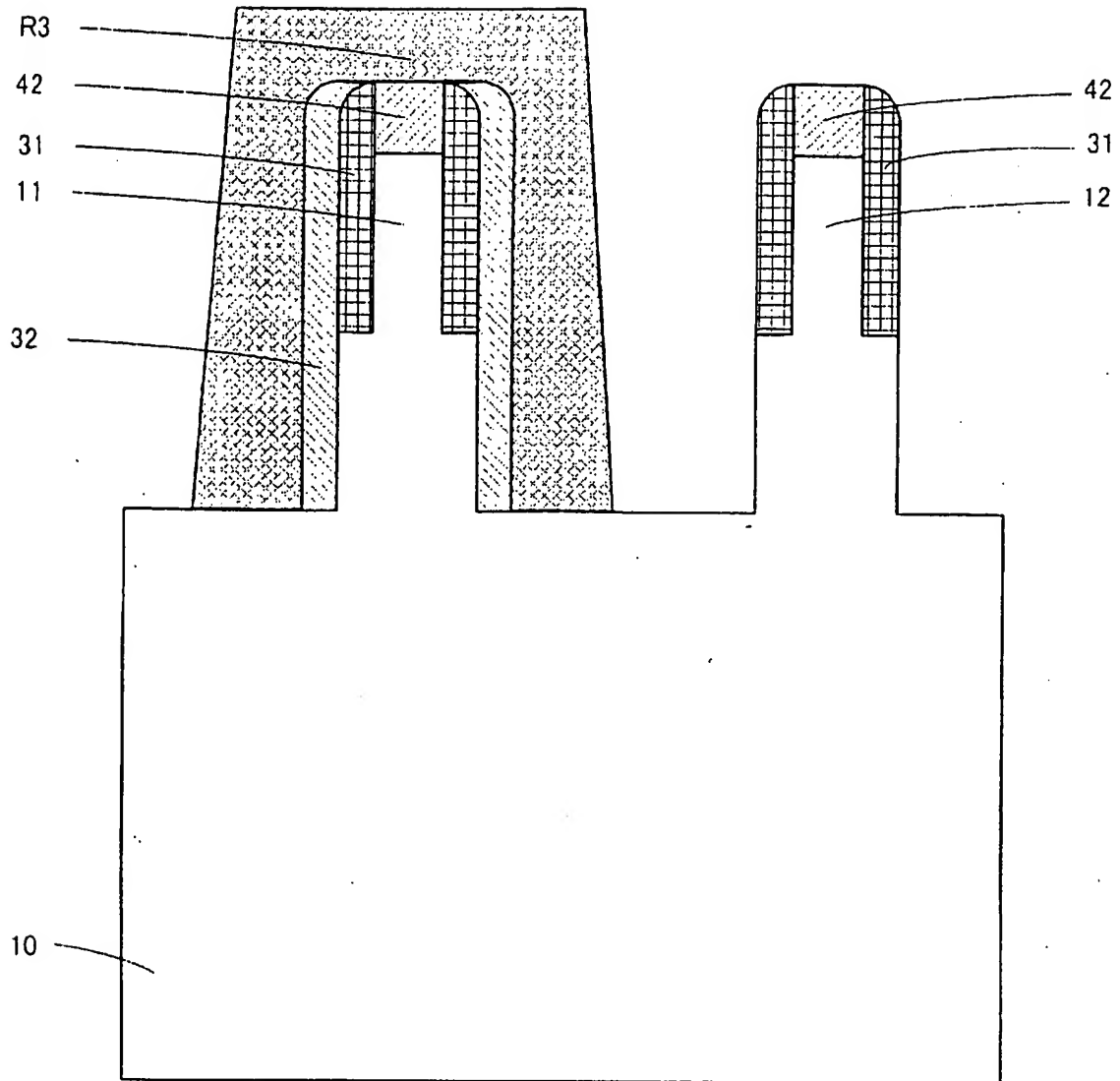
[図28]



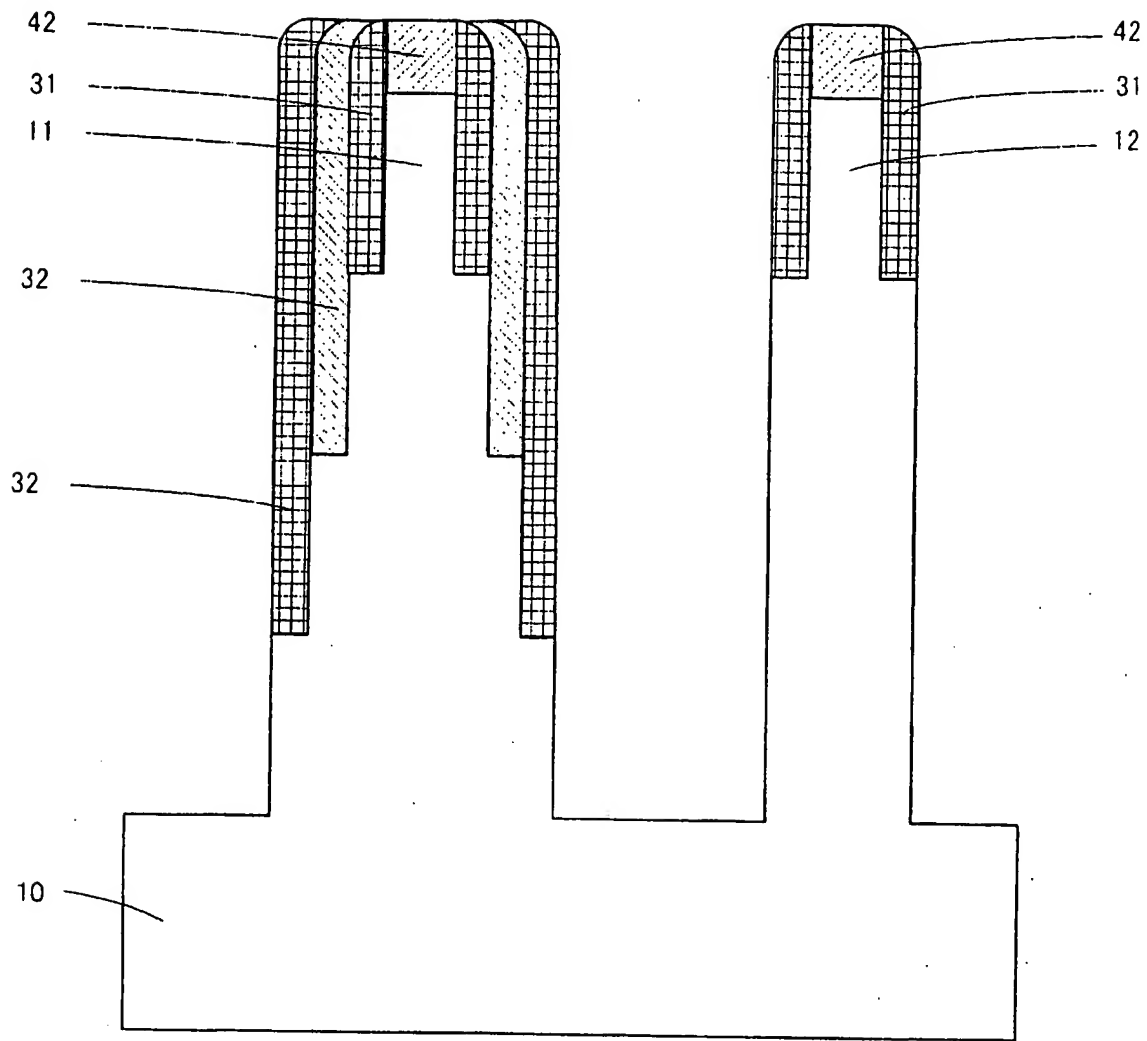
[図29]



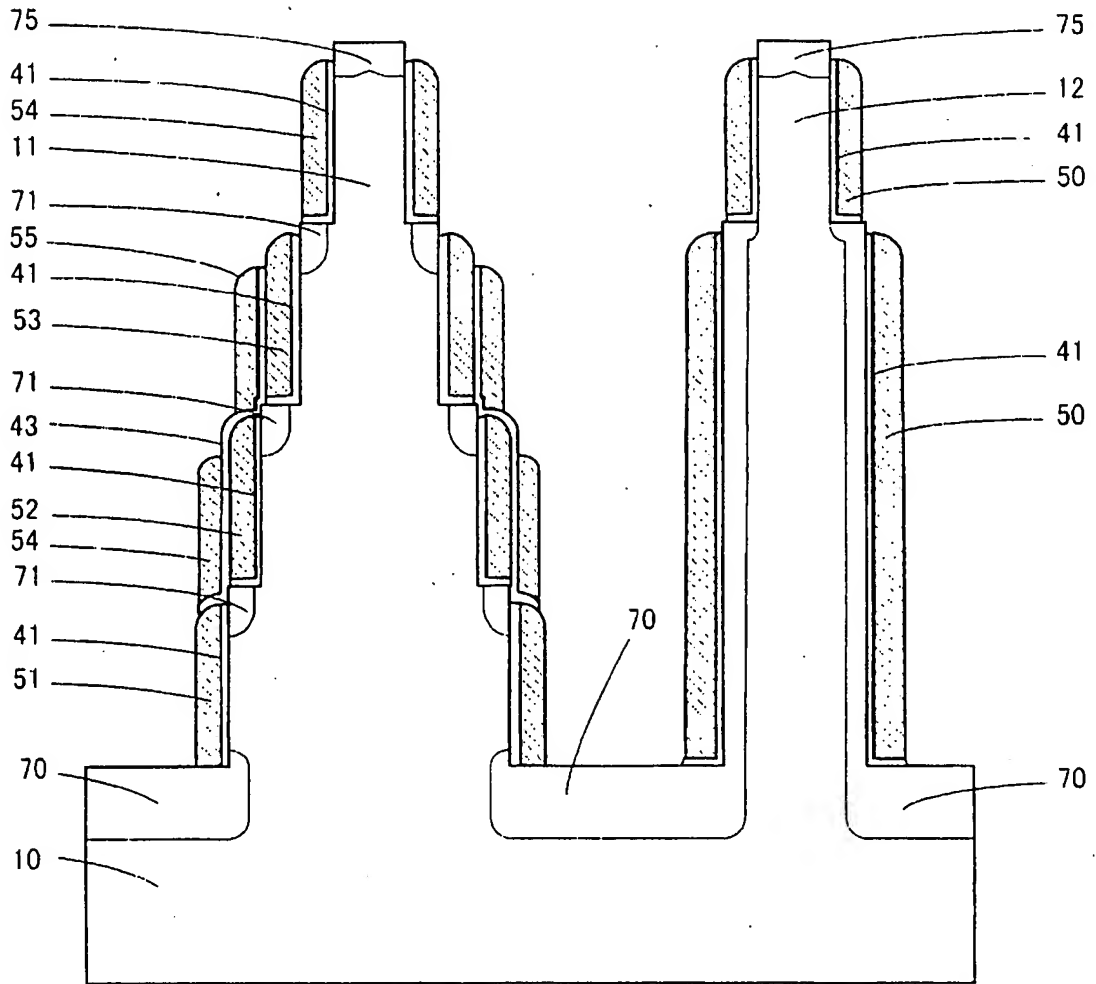
[図30]



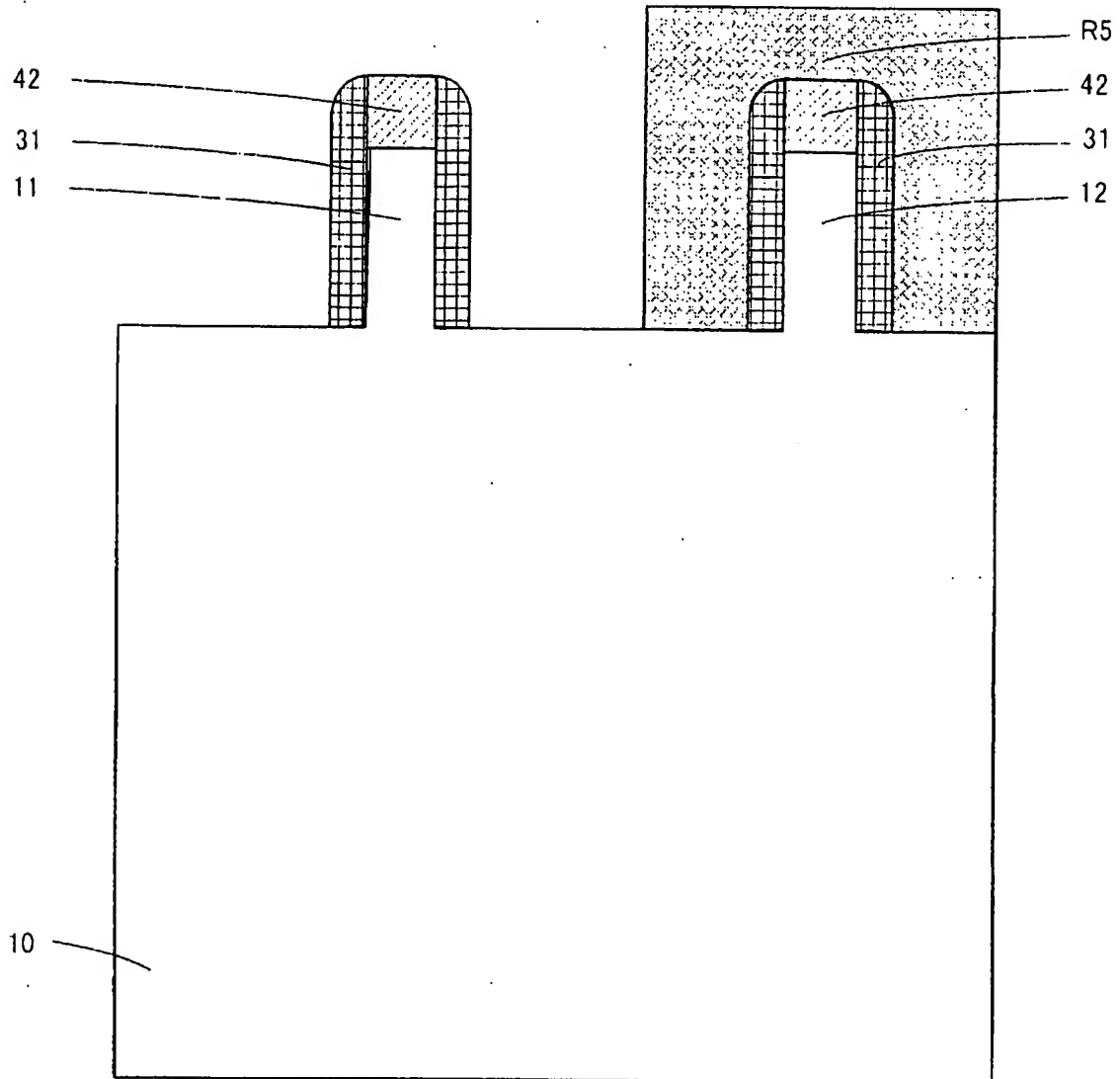
[図31]



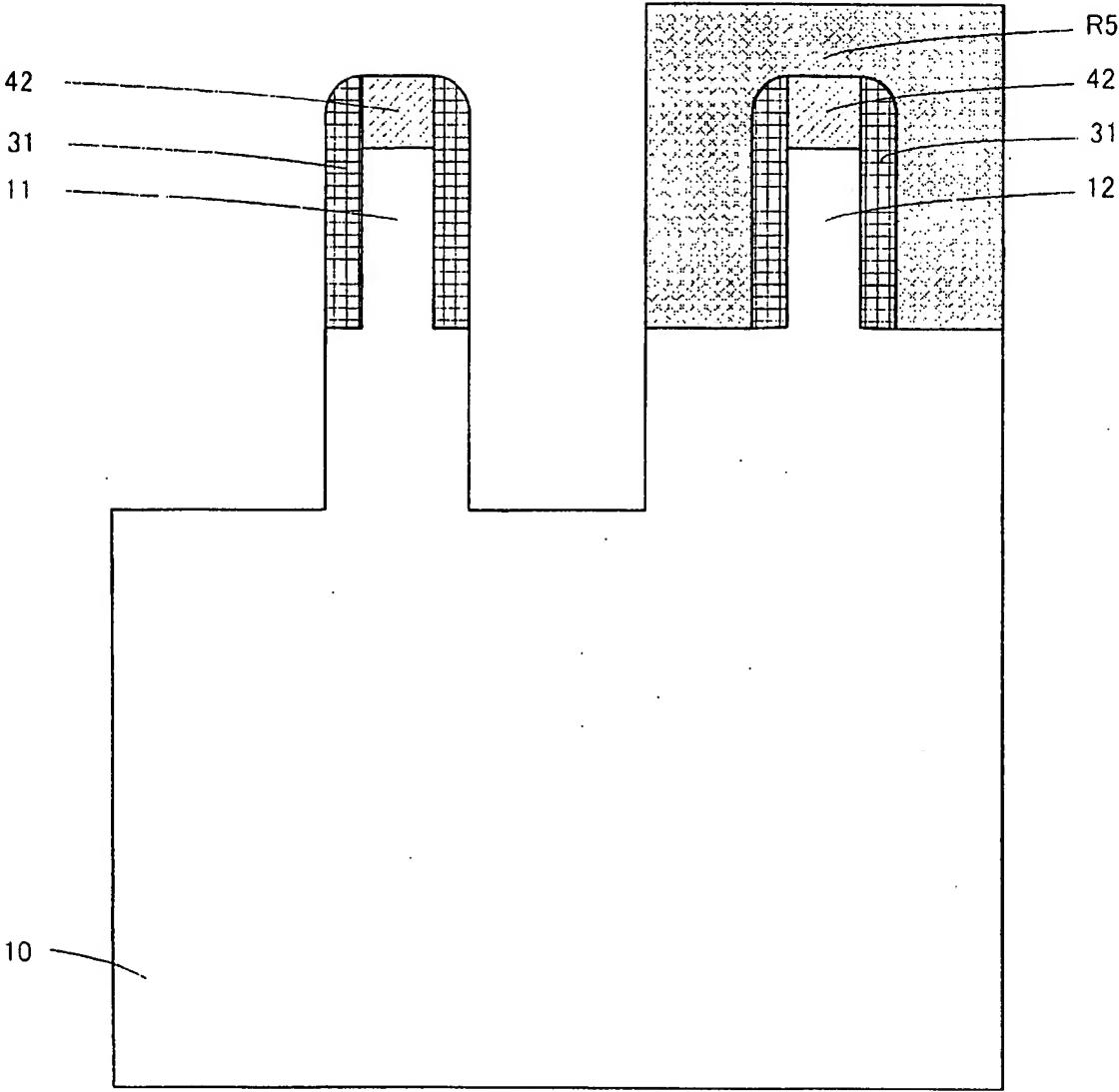
[図32]



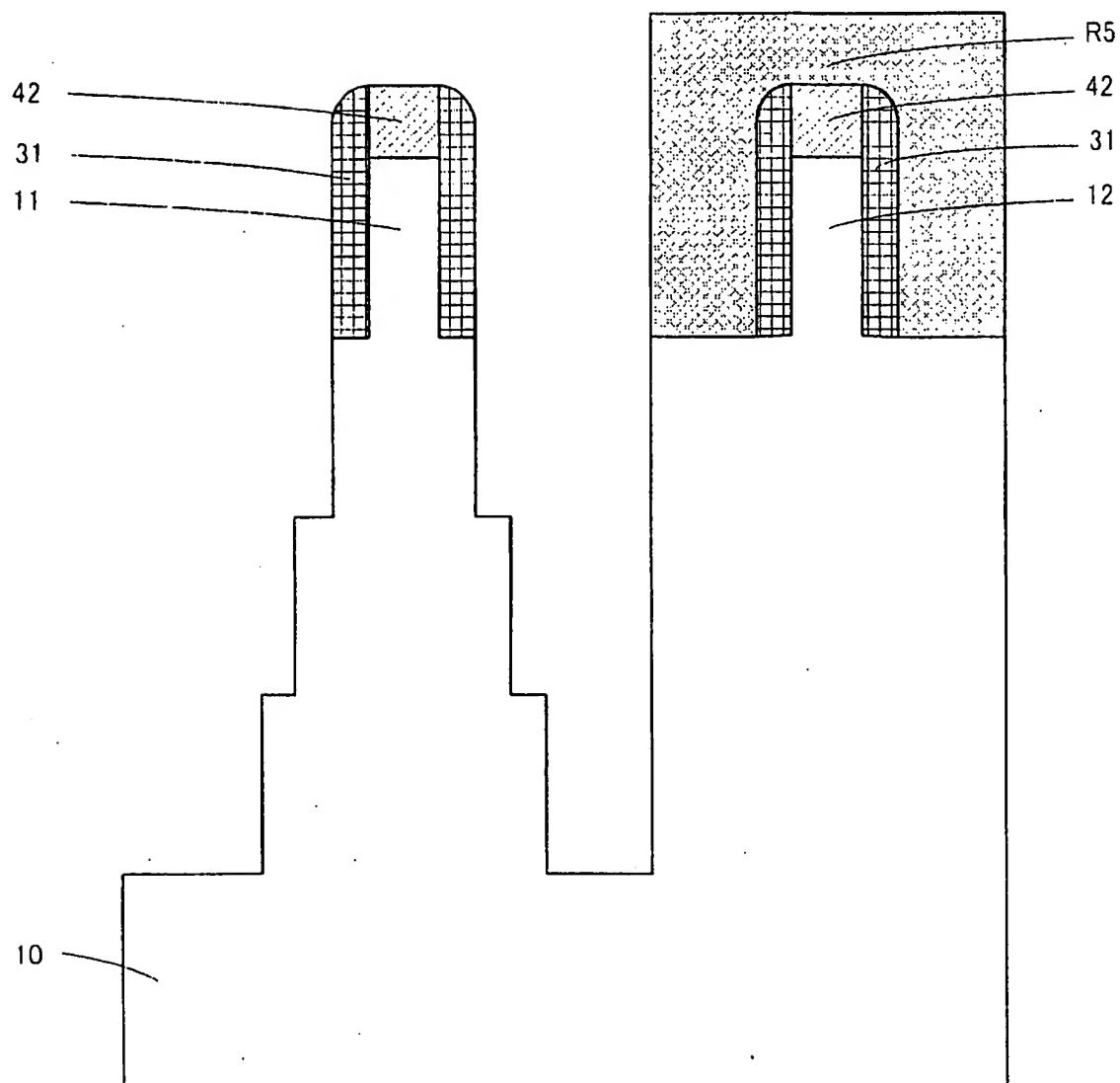
[図33]



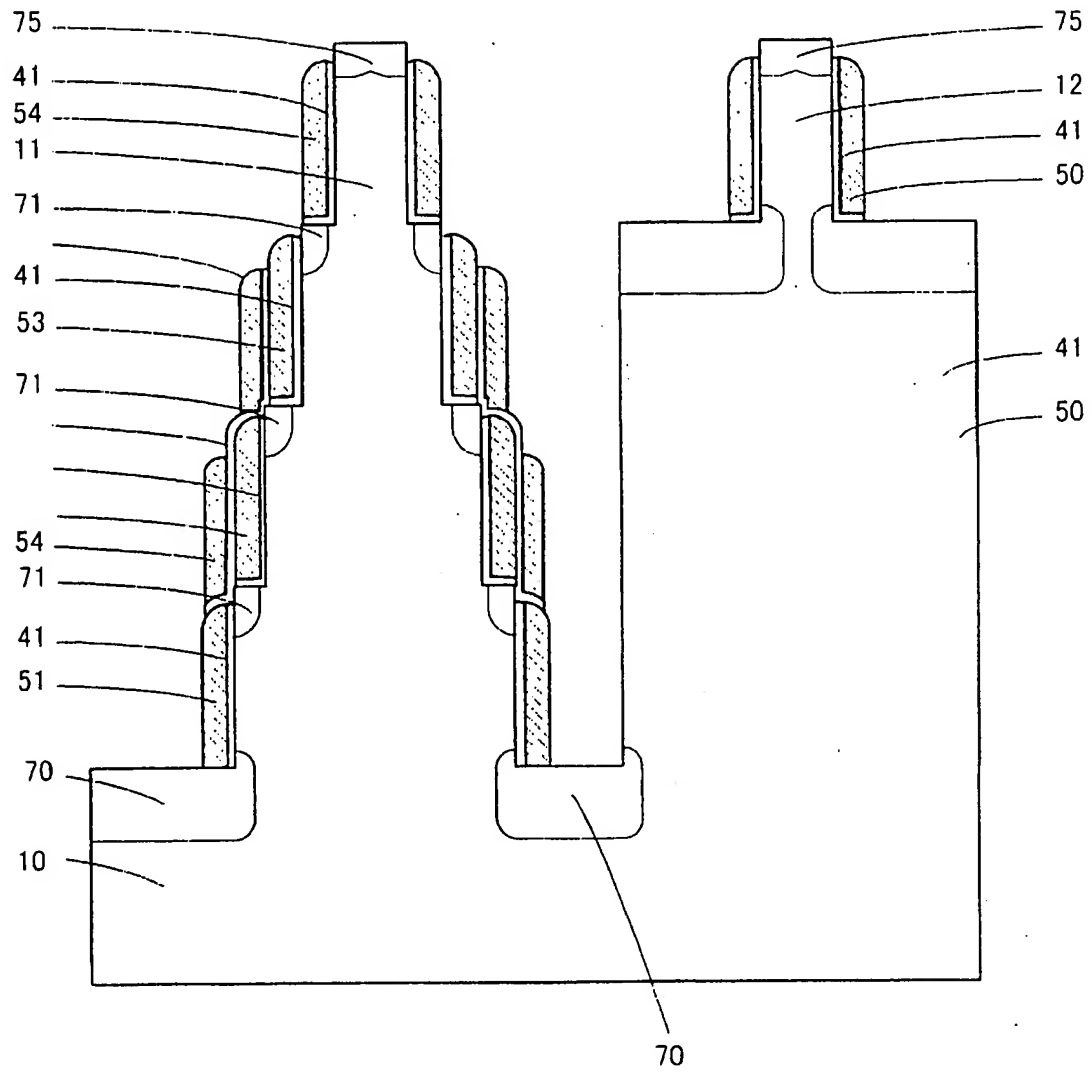
[図34]



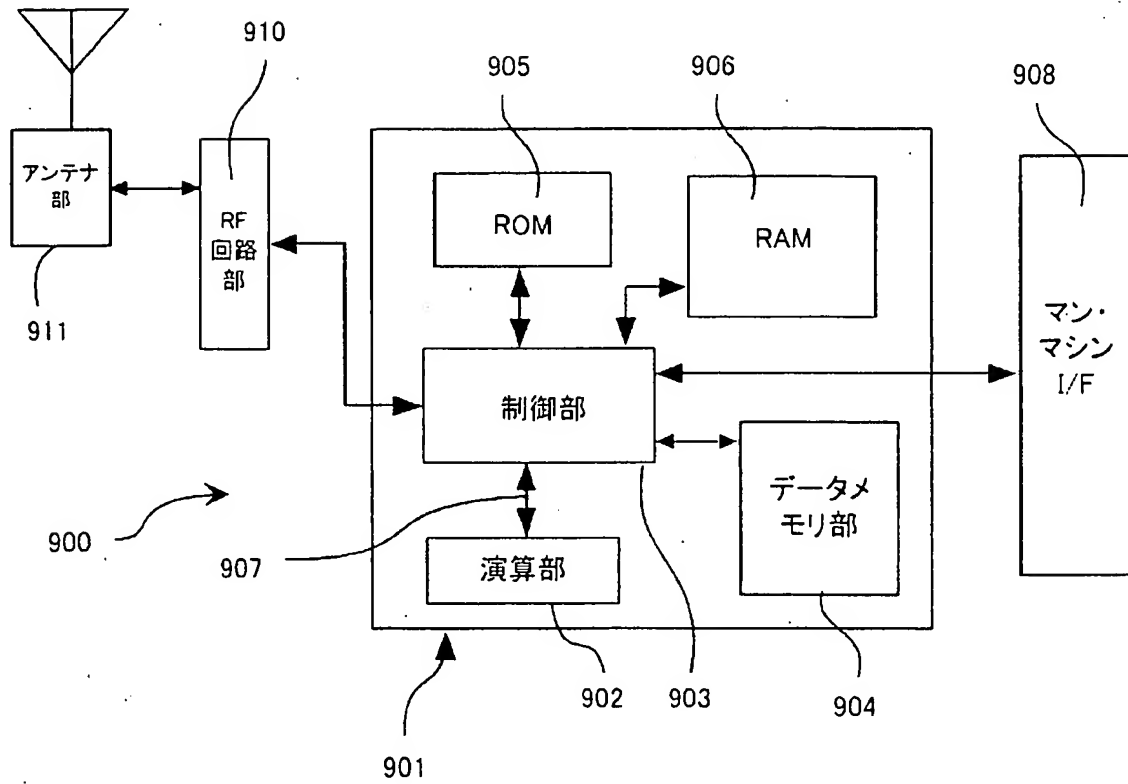
[図35]



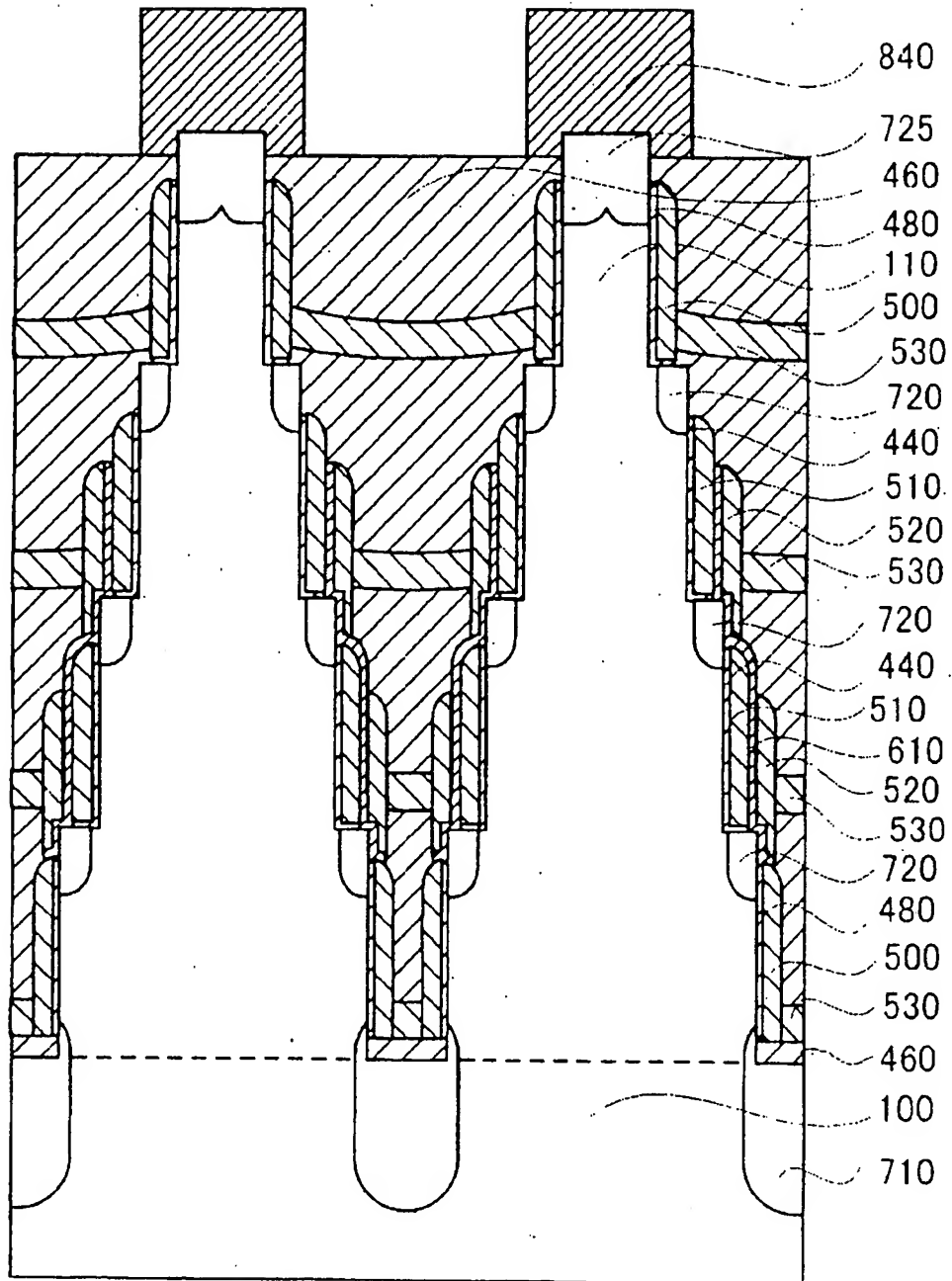
[図36]



[図37]



[図38]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003906

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115,
29/788, 29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115,
29/788, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 10-079482 A (Hai Rai), 24 March, 1998 (24.03.98), Par. Nos. [0038] to [0068]; Figs. 6A to 7H10 (Family: none)	1-4, 11 5-10
Y A	JP 2003-068885 A (Sharp Corp.), 07 March, 2003 (07.03.03), Full text; all drawings & US 2003/0157763 A1 Full text; all drawings & KR 2003016159 A & TW 580758 A	1-5, 11 6-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 May, 2005 (19.05.05)

Date of mailing of the international search report

07 June, 2005 (07.06.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115, 29/788, 29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115, 29/788, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 10-079482 A (ハイ ライ) 1998. 03. 24, 段落 [0038] - [0068], 第6A図-第7H10図 (ファミリーなし)	1-4, 11 5-10
Y A	JP 2003-068885 A (シャープ株式会社) 2003. 03. 07, 全文, 全図 & US 2003/0157763 A1, 全文, 全図 & KR 2003016159 A & TW 580758 A	1-5, 11 6-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「I」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 05. 2005

国際調査報告の発送日

07. 06. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 03-3581-1101 内線 3498

4L

3125

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003906

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115,
29/788, 29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115,
29/788, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 10-079482 A (Hai Rai), 24 March, 1998 (24.03.98), Par. Nos. [0038] to [0068]; Figs. 6A to 7H10 (Family: none)	1-4, 11 5-10
Y A	JP 2003-068885 A (Sharp Corp.), 07 March, 2003 (07.03.03), Full text; all drawings & US 2003/0157763 A1 Full text; all drawings & KR 2003016159 A & TW 580758 A	1-5, 11 6-10



Further documents are listed in the continuation of Box C.



See patent family annex.

*

Special categories of cited documents:

"A"

document defining the general state of the art which is not considered to be of particular relevance

"E"

earlier application or patent but published on or after the international filing date

"L"

document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O"

document referring to an oral disclosure, use, exhibition or other means

"P"

document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

19 May, 2005 (19.05.05)

Date of mailing of the international search report

07 June, 2005 (07.06.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003906

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-007866 A (Sharp Corp.), 10 January, 2003 (10.01.03), Full text; all drawings & US 2002/0195668 A1 Full text; all drawings & JP 2003-007868 A & JP 2003-068886 A & EP 1271652 A2 & TW 575958 A & KR 2003016158 A	1-5, 11 6-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115, 29/788, 29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8234, 21/822, 21/8247, 27/04, 27/088, 27/10, 27/115, 29/788, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 10-079482 A (ハイ ライ) 1998. 03. 24, 段落【0038】-【0068】, 第6A図-第7H10図 (ファミリーなし)	1-4, 11 5-10
Y A	JP 2003-068885 A (シャープ株式会社) 2003. 03. 07, 全文, 全図 & US 2003/0157763 A1, 全文, 全図 & KR 2003016159 A & TW 580758 A	1-5, 11 6-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 05. 2005

国際調査報告の発送日

07. 06. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 03-3581-1101 内線 3498

41

3125

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2003-007866 A (シャープ株式会社) 2003. 01. 10, 全文, 全図 & US 2002/0195668 A1, 全文, 全図 & JP 2003-007868 A & JP 2003-068886 A & EP 1271652 A2 & TW 575958 A & KR 2003016158 A	1-5, 11 6-10